

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 10 月 17 日 (17.10.2002)

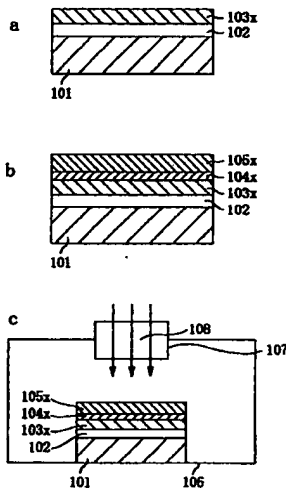
PCT

(10) 国際公開番号
WO 02/082526 A1

- (51) 国際特許分類⁷: H01L 21/316, 29/786, 21/8238, 27/092 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1 0 0 6 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP02/03365
- (22) 国際出願日: 2002 年 4 月 3 日 (03.04.2002) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 森田 清之 (MORITA, Kiyoyuki) [JP/JP]; 〒614-8062 京都府 八幡市 八幡清水 井 4 5 - 1 - 3 0 3 Kyoto (JP). 三宅 正司 (MIYAKE, Shoji) [JP/JP]; 〒565-0802 大阪府 吹田市 青葉丘南 8 - P - 5 0 5 Osaka (JP). 上田 路人 (UEDA, Michihito) [JP/JP]; 〒569-0078 大阪府 高槻市 大手町 5 - 1 6 - 1 0 3 Osaka (JP). 大塚 隆 (OHTSUKA, Takashi) [JP/JP]; 〒560-0013 大阪府 豊中市 上野東 2 - 7 - 2 Osaka (JP). 西川 孝司 (NISHIKAWA, Takashi) [JP/JP]; 〒631-0814 奈良県
- (30) 優先権データ:
特願2001-104102 2001 年 4 月 3 日 (03.04.2001) JP
特願2001-150719 2001 年 5 月 21 日 (21.05.2001) JP
- [続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A silicon oxide film (102), a Pt film (103x), a Ti film (104x), and a PZT film (105x) are deposited on an Si substrate (101) in order. The Si substrate (101) is placed in a chamber (106), and the PZT film (105x) is irradiated with a millimeter wave (108). By the irradiation, the dielectric films such as the PZT film can be locally heated. Thus, the leak characteristics of the dielectric films can be improved without adversely influencing the device on the Si substrate (101).

(57) 要約:

Si 基板 101 の上に、シリコン酸化膜 102, Pt 膜 103x, Ti 膜 104x, PZT 膜 105x を順次堆積する。Si 基板 101 をチャンバ 106 内に設置し、ミリ波 108 を PZT 膜 105x に照射する。ミリ波の照射によって、PZT 膜等の誘電体膜を局所的に加熱することにより、Si 基板 101 上のデバイスに悪影響を与えることなく、誘電体膜のリーク特性などが改善される。



奈良市 秋篠三和町 1-3-20 Nara (JP). 井上 彰 (INOUE, Akira) [JP/JP]; 〒571-0074 大阪府 門真市 宮前町 1 6-1 Osaka (JP). 高木 剛 (TAKAGI, Takeshi) [JP/JP]; 〒616-8182 京都府 京都市 右京区 太秦北路町 3-3 Kyoto (JP). 原 義博 (HARA, Yoshihiro) [JP/JP]; 〒573-1104 大阪府 枚方市 楠葉丘 1-6 1-3 Osaka (JP). 久保 実 (KUBO, Minoru) [JP/JP]; 〒518-0641 三重県 名張市 桔梗ガ丘西一番町 1 2 5 Mie (JP).

- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府 大阪市 西区 靱本町 1 丁目 4 番 8 号 太平ビル Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体装置及びその製造方法

技術分野

本発明は、誘電体膜を有するMISトランジスタ、メモリセルトランジスタなどとして機能する半導体装置及びその製造方法に関する。

背景技術

近年、半導体の微細化が進み、トランジスタのゲート絶縁膜やDRAMの容量膜等の材料として、従来から使用されてきたシリコン酸化膜等に代えて、さらに高い誘電率を有する誘電体材料が使用されようとしている。また、新しい不揮発性メモリとして、メモリセルの記憶容量部に強誘電体膜を備えた強誘電体メモリも実用化されている。

これらの半導体装置に用いられる高誘電率誘電体や強誘電体の膜は、従来、以下のようにして形成されていた。まず、下地層として、基板上にある程度の結晶配向性を有する膜を形成する。次に、スパッタ法やMOCVD法（有機金属錯体を用いた化学気相成長法）等によって高誘電率誘電体や強誘電体膜を形成する。その際、高い結晶性を有する膜を得るために、成膜中の基板温度を650℃以上に保つか、製膜後に高速ランプ加熱炉等内で650℃以上の熱処理を行う。この後、引き続き上部電極のための金属膜を形成する。

また、近年、電池駆動による携帯情報端末装置は広く使用されている。このような装置においては、電池寿命を延ばすために、高速動作を犠牲にすることなく電源電圧を低減化することが強く望まれている。低電源電圧においても高速動作を実現するためには、しきい値電圧を下げるのが有効であるが、この場合、ゲートオフ時のリーク電流が大きくなるため、おのずとしきい値電圧には下限が存在する。そこで、ゲート絶縁膜として、従来のシリコン酸化膜に代えて、高誘電率誘電体膜を用いたり、デバイス自体の構造の改善が提案されている。

例えば、文献（F. Assaderaghi et. al., "A Dynamic Threshold Voltage MOS

FET(D T M O S デバイス) for Ultra-Low Voltage Operation,” IEDM94 Ext. Ab st. p.809) に開示されているように、このような問題を解決し、低電圧時にもリーク電流が小さくかつ、高駆動能力を有するデバイスとして、D T M O S デバイス (Dynamic Threshold Voltage MOSFET) と呼ばれる素子が提案されている。

図 2 1 は、上記文献において提案されている従来の D T M O S デバイスの構造を示す断面図である。図 2 1 に示すように、従来の D T M O S デバイスは、 n -D T M O S デバイスと p -D T M O S デバイスとにより構成されており、 n -D T M O S デバイス又は p -D T M O S デバイスは、半導体基板の活性領域の上に設けられたゲート絶縁膜と、ゲート電極と、活性領域のうちゲートの両側方に位置する領域に設けられたソース・ドレイン領域 (n -D T M O S デバイスでは n 型領域、 p -D T M O S デバイスでは p 型領域) と、活性領域のうちソース・ドレイン領域を除く領域である基板領域 (n -D T M O S デバイスでは p^+ Si 層、 p -D T M O S デバイスでは n^+ Si 層) とを備え、基板領域のうちゲート絶縁膜の直下方に位置する領域がチャンネル領域となっている。そして、基板領域 (ボディ領域) とゲート電極とが配線により電氣的に短絡するように接続されている。なお、図 2 1 に示す構造は、S O I 基板を用いているために、活性領域の下方には埋め込み酸化膜が形成されている。

このように、ゲートとボディとが短絡された状態で、ゲートにバイアス電圧が印加されると、ボディを介してチャンネル領域にゲートバイアス電圧と同じ大きさの順方向バイアス電圧が印加されることになる。これにより、ゲートバイアスオフ時には通常の M O S トランジスタと同じ状態となり、また、ゲートバイアスオン時には、ゲートバイアス電圧の増大にともなってボディが順方向にバイアスされていくため、しきい値電圧が低下していく。

このような D T M O S デバイスは、S O I 基板に形成された通常の M O S トランジスタ (ゲートとボディとが短絡されていないトランジスタ) と比較すると、ゲートバイアスオフ時には、そのリーク電流は通常のトランジスタのリーク電流と同等となる。一方、ゲートバイアスオン時には、前述したようにしきい値が減少するので、ゲートオーバードライブ効果が増大し、駆動力が著しく増大する。また、D T M O S デバイスでは、ゲートとチャンネル領域との電位差がほとんど

ないため、基板表面での縦方向電界が通常のトランジスタに比べて著しく小さくなる。その結果、縦方向電界の増大にともなうキャリアの移動度の劣化が抑制されるので、駆動力が著しく増大する。

このように、DTMOSデバイスは、n型のゲート-p型のボディ（ベース）-n型のソース領域（エミッタ）・ドレイン領域（コレクタ）間に発生する横方向の寄生バイポーラトランジスタがオンしてボディ電流が実用上問題となる程度に大きくなるまでの動作電圧範囲においては、低しきい値電圧つまり低電源電圧で高速動作が可能なトランジスタとして機能することになる。そして、DTMOSデバイスの構造は、通常のMOSとほぼ同じ構造であるため、製作が容易であり、ほぼ同じ工程数で製作が可能である。

解決課題

ところが、上記従来の誘電体膜や、これを用いたDTMOSデバイス、MISトランジスタ等においては、それぞれ以下のような不具合があった。

一方、上記従来の高誘電率誘電体膜や強誘電体膜の形成技術においては、以下のような不具合があった。

第1に、上述のように、高い結晶性を有する膜を得るためには、成膜中あるいは製膜後に650℃以上の熱処理が必要であるために、材料や製造工程に大きな制約がある。すなわち、この膜形成工程の前にすでに基板及び基板上に形成されているデバイスは、650℃以上の温度によって悪影響を受けないことが求められる。よって、例えばAlやCu等の金属配線形成後の半導体基板上に高誘電率誘電体膜や強誘電体膜を形成したり、ガラス基板上に高誘電率誘電体膜や強誘電体膜を形成することは困難である。

第2に、誘電体膜が形成される下地層の特性にも制約があった。従来の方法では、基板上に結晶の配向性を有する膜を形成してから、この膜を下地層として誘電体膜を形成することにより、高誘電率誘電体膜や強誘電体膜が下地層の配向性を引き継いで高い結晶性を示すのであって、配向性を有する下地層が必要であった。よって、従来の方法では、結晶性を有しない材料の上に高誘電率誘電体膜や強誘電体膜を形成することは困難であった。

また、上記従来のDTMOSデバイスでは、ゲートバイアス電圧の増大に伴ってソース・ボディ間が順方向にバイアスされていくため、ボディ電流と呼ばれる電流がソース・ボディ間に流れる。そこで、DTMOSデバイスにおいては、このボディ電流を抑制しつつ、かつ、しきい値を下げることで、動作電圧範囲を広く確保することが好ましい。ソース領域ーボディ領域間は単純なPN接合ダイオードと考えることができるため、ボディ電流は、半導体の材料（バンドギャップ）と接合部分の不純物濃度とによって決定される。一般的に、ソース領域は不純物濃度が $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に高濃度にドーピングされているが、ボディ領域の不純物濃度を高くすれば、ビルトインポテンシャルの傾斜が強められるので、ボディ領域からチャネル領域へのキャリアの移動に対する障壁が大きくなる。これにより、ボディ電流を抑制することができる。

しかし、上記従来のDTMOSデバイスでは、ボディ領域の不純物濃度の増加に伴い、しきい値も高くなるため、実際には、ボディ領域の不純物濃度を高めても、動作電圧範囲を広く確保することは困難である。

発明の開示

本発明の第1の目的は、高温の処理を施すことなく、誘電体膜特に高誘電率誘電体膜や強誘電体膜の特性を向上させる手段を講ずることにより、高性能の半導体装置を実現しうる方法を提供することにある。

本発明の第2の目的は、DTMOSデバイスにおけるボディ領域の不純物濃度を高くしながら、ボディ電流の小さい、動作電圧範囲の広い新たな半導体装置の提供を図ることにある。

本発明の半導体装置の製造方法は、誘電体膜を要素として含む半導体装置の製造方法であって、基板の上方に上記誘電体膜を形成する工程（a）と、上記工程（a）の後で、上記誘電体膜の上方から、1GHz以上で100GHz以下の範囲にある電磁波を照射する工程（b）と含んでいる。

この方法により、誘電体膜へのミリ波照射処理によって、誘電体膜のリーク電流が低減するなど、誘電体膜の特性が改善される。しかも、ミリ波照射によって誘電体膜を局所的に加熱することが可能であるので、基板上にデバイスが存在し

ていても、デバイスへの悪影響を回避することができる。

上記工程（b）では、上記基板の温度を550℃以下に保持しつつ、上記電磁波を印加することにより、基板上のデバイスなどへの悪影響をより確実に回避することができる。

上記工程（a）の後で上記工程（b）の前に、上記誘電体膜の上に、上記誘電体膜よりも誘電率又は誘電損失が大きいカバー膜を形成する工程と、上記工程（b）の後で、上記カバー膜を除去する工程とをさらに含むことにより、ミリ波照射によってカバー膜が加熱されるのを利用して、より効率的に誘電体膜の加熱を行なうことができる。

上記工程（a）の前に、下部導体膜を形成する工程をさらに含むことができる。

上記下部導体膜を形成する工程では、上記下部導体膜として、金属膜、 IrO_2 及び RuO_2 のうちから選ばれる1又は2以上の材料によって構成される膜を形成することが好ましい。

上記下部導体膜を形成する工程の後で上記工程（a）の前に、上記下部導体膜と上記誘電体膜との間に介在する下部絶縁膜を形成する工程をさらに含むことにより、誘電体膜のリーク電流をより低減することができる。

上記工程（a）の後で上記工程（b）の前に、上記誘電体膜を覆う上部導体膜を形成する工程をさらに含み、上記工程（b）は、上記上部導体膜によって上記誘電体膜を覆った状態で行なわれることができる。

上記工程（b）は、上記上部導体膜を電氣的にアースして行なわれることが好ましい。

上記工程（a）の後で上記工程（b）の前に、上記誘電体膜を覆う上部導体膜を形成した後、上部導体膜をパターニングして、上記誘電体膜のうち半導体装置の要素となる部分を少なくとも含む領域上に、上記上部導体膜の一部を残す工程をさらに含み、上記工程（b）は、上記上部導体膜の上記一部を残した状態で、上記誘電体膜の上記領域が局所的に加熱されるように行なわれることもできる。

上記上部導体膜を形成する工程は、上記上部導体膜として、金属膜、 IrO_2 及び RuO_2 のうちから選ばれる1又は2以上の材料によって構成される膜を形

成することが好ましい。

上記工程 (a) の後で、上記上部導体膜を形成する工程の前に、上記上部導体膜と上記誘電体膜との間に介在する上部絶縁膜を形成する工程をさらに含むことにより、誘電体膜のリーク電流を低減することができる。

上記工程 (a) の前に、厚み 10 nm 以下の下部シード層を形成する工程をさらに備え、上記工程 (a) では、上記誘電体膜を上記下部シード層に接触させるように形成し、上記工程 (b) では、上記下部シード層が上記誘電体膜の成長の種として機能させることにより、誘電体膜の結晶粒の成長をより円滑に行なうことができる。

上記工程 (a) の後で上記工程 (b) の前に、厚み 10 nm 以下の上部シード層を上記誘電体膜に接触させて形成する工程をさらに備え、上記工程 (b) では、上記上部シード層が上記誘電体膜の成長の種として機能させることによっても、誘電体膜の結晶粒の成長をより円滑に行なうことができる。

上記工程 (a) では、上記誘電体膜として、 $PZT (Pb (Zr, Ti) O_3)$ 、 $PLZT ((Pb, La) (Zr, Ti) O_3)$ 、 $SBT (SrBi_2 Ta_2 O_9)$ 、 $(SrBi_2 (Nb, Ta)_2 O_9)$ 、 $STO (SrTiO_3)$ 、 $BTO (BaTiO_3)$ 、 $BST ((Ba, Sr) TiO_3)$ 、 PZT 、 $PLZT$ 、 SBT 、 $(SrBi_2 (Nb, Ta)_2 O_9)$ 、 $STO (SrTiO_3)$ 、 $BTO (BaTiO_3)$ 、 $BIT (Bi_4 Ti_3 O_{12})$ 及び $BST ((Ba, Sr) TiO_3)$ のうちから選ばれる 1 又は 2 以上の材料によって構成される膜を形成することが好ましい。

上記基板を構成する材料は、半導体、酸化シリコン、ガラス及びセラミックのうちから選ばれる 1 又は 2 以上の材料であることが好ましい。

上記工程 (b) では、10 GHz 以上で 80 GHz 以下の範囲にある電磁波を照射することがより好ましい。

本発明の半導体装置は、基板と、上記基板の一部に設けられた半導体層と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層のうち上記ゲート電極の両側方に設けられた第 1 導電型ソース・ドレイン領域と、上記半導体層のうち上記第 1 導電型ソース・ド

レイン領域間に位置する領域に設けられた第1導電型キャリア用チャネル領域と、上記半導体層のうち上記第1導電型キャリア用チャネル領域の下方に設けられ、上記第1導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第2導電型ボディ領域と、上記ゲート電極と上記第2導電型ボディ領域とを電氣的に接続するための導体部材とを備え、上記第1導電型キャリア用チャネル領域は上記ゲート絶縁膜と直接接触している。

これにより、ゲート電極とボディ領域とが電氣的に接続されているので、ゲート電極に電圧が印加されてもボディ領域がゲート電極とほぼ同じ電位に維持されるために、半導体層のうちチャネル領域以外の領域において反転層が生じることがなく、寄生チャネルの発生が抑制される。そして、チャネル領域がボディ領域を構成する第2の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが小さい第1の半導体により構成されているので、チャネル領域が反転するために必要なゲートバイアス、つまりしきい値電圧を小さくすることができる。したがって、ドレイン電流が増大し、チャネルを流れるドレイン電流とボディ（ゲート）電流との差が拡大するので、動作電圧範囲の拡大を図ることができる。

しかも、第1導電型キャリア用チャネル領域とゲート絶縁膜との間にキャップ層に相当する半導体層がないため、キャップ層の膜厚の変動に起因する半導体装置の特性のばらつきの発生を防止することができる。また、寄生チャネルの発生も回避できるとともに、キャップ層がない分だけゲート電極から第1導電型キャリア用チャネル領域までの距離が小さくすることができるので、しきい値電圧を低下させることができる。

上記基板上に設けられたもう1つの半導体層と、上記もう1つの半導体層の上に設けられたもう1つのゲート絶縁膜と、上記もう1つのゲート絶縁膜の上に設けられたもう1つのゲート電極と、上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられた第2導電型ソース・ドレイン領域と、上記もう1つの半導体層のうち上記第2導電型ソース・ドレイン領域間に位置する領域に設けられた第2導電型キャリア用チャネル領域と、上記もう1つの半導体層の

うち上記第2導電型キャリア用チャネル領域の下方に設けられ、上記第2導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第1導電型ボディ領域と、上記もう1つのゲート電極と上記第1導電型ボディ領域とを電氣的に接続するためのもう1つの導体部材とをさらに備え、相補型デバイスとして機能させることにより、第1導電型キャリアを用いるMOSトランジスタ及び第2導電型キャリアを用いるnチャネル型MOSトランジスタのいずれにおいても、キャップ層の膜厚の変動に起因する半導体装置の特性のばらつきの発生を防止することができる。

上記第1導電型キャリア用チャネル領域及び第2導電型キャリア用チャネル領域を、いずれもSi（シリコン）、Ge（ゲルマニウム）及びC（炭素）を成分元素として含む半導体により構成し、上記ボディ領域をSiにより構成することにより、各半導体層における各チャネル領域が共通のSiGeC膜によって構成されるので、構造及びプロセスの簡素化を図ることができる。

上記半導体層は、上記第1導電型キャリア用チャネル領域と上記第2導電型ボディ領域との間に設けられた第2導電型キャリア用チャネル領域をさらに有し、上記基板上に設けられたもう1つの半導体層と、上記もう1つの半導体層の上に設けられたもう1つのゲート絶縁膜と、上記もう1つのゲート絶縁膜の上に設けられたもう1つのゲート電極と、上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられた第2導電型ソース・ドレイン領域と、上記もう1つの半導体層のうち上記第2導電型ソース・ドレイン領域間に位置する領域に設けられた第2導電型キャリア用チャネル領域と、上記もう1つの半導体層のうち上記ゲート絶縁膜と上記第2導電型キャリア用チャネル領域との間に設けられた第1導電型キャリア用チャネル領域と、上記もう1つの半導体層のうち上記第2導電型キャリア用チャネル領域の下方に設けられ、上記第2導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第1導電型ボディ領域と、上記もう1つのゲート電極と上記第1導電型ボディ領域とを電氣的に接続するためのもう1つの導体部材とをさらに備え、相補型デバイスとして機能させることもできる。

これにより、第1導電型キャリア用チャネル領域には表面チャネルが生成され

、第2導電型キャリア用チャネル領域には埋め込み型チャネルが生成される。特に、表面チャネルがゲート絶縁膜の直下方に形成されるので、第1導電型キャリアを用いるMOSトランジスタのしきい値電圧を低下させることができる。

その場合、上記各半導体層における各ボディ領域は、いずれもSiにより構成され、上記各半導体層における第1導電型チャネル領域は、 $\text{Si}_{1-y}\text{C}_y$ ($0 < y \leq 0.03$) により構成されており、上記半導体層における第1導電型チャネル領域は、電子が流れるnチャネルとして機能し、上記各半導体層における第2導電型チャネル領域は、 $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 0.4$) により構成されおり、上記もう1つの半導体層における第2導電型チャネル領域は、正孔が流れるpチャネルとして機能する構成を採ることができる。

また、上記各半導体層における各ボディ領域は、いずれもSiにより構成され、上記各半導体層における第1導電型チャネル領域は、 $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 0.4$) により構成されおり、上記半導体層における第1導電型チャネル領域は、正孔が流れるpチャネルとして機能し、上記各半導体層における第2導電型チャネル領域は、 $\text{Si}_{1-y}\text{C}_y$ ($0 < y \leq 0.03$) により構成されており、上記もう1つの半導体層における第2導電型チャネル領域は、電子が流れるnチャネルとして機能する構成を採ることもできる。

上記ゲート絶縁膜は、 SiON 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 PZT ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、 PLZT ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)、 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、 $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$ 、 STO (SrTiO_3)、 BTO (BaTiO_3)、 BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$)、 PZT 、 PLZT 、 SBT 、 $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$ 、 STO (SrTiO_3)、 BTO (BaTiO_3)、 BIT ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$) 及び BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$) のうちから選ばれる1又は2以上の材料によって構成されていることにより、ゲート絶縁膜として、一般にいられている SiO_2 よりも誘電率の高い材料を用いることで、高い駆動力と低しきい値化が実現できる。すなわち、高誘電率材料を用いることで、ヒルトインポテンシャルの傾斜がより急峻となることから、しきい値電圧を低減し、ドレイン電流とボディ電流の差をさらに拡大することができる。したがって、ボディ領域の

不純物濃度をあげても、Siのみによって構成されるMOSトランジスタと同程度のしきい値電圧に設定することができる。その結果、ボディ抵抗が低減され、ボディ領域の電位がチャネル領域に効果的に伝わるので、CR遅延による動作速度の制限が緩和される。

上記ゲート絶縁膜は、1GHz以上で100GHz以下の範囲にある電磁波の照射処理を受けたものであることが好ましい。

上記半導体基板がSOI基板であることにより、寄生容量の低減による動作速度の向上を図ることができる。

図面の簡単な説明

図1(a)～(c)は、本発明の第1の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

図2(a)，(b)は、本発明の第1の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

図3(a)，(b)は、それぞれ順に、ミリ波照射によって加熱されたBIT膜のX線回折写真図、及び高速ランプ加熱炉によって加熱されたBIT膜のX線回折写真図である。

図4(a)，(b)は、それぞれ順に、ミリ波照射によって加熱されたBIT膜の表面SEM写真図、及び高速ランプ加熱炉によって加熱されたBIT膜の表面SEM写真図である。

図5(a)～(c)は、本発明の第2の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

図6(a)，(b)は、本発明の第2の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

図7(a)～(c)は、本発明の第3の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

図8(a)，(b)は、本発明の第3の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

図9(a)～(c)は、本発明の第4の実施形態における半導体装置の製造工

程のうち前半部分を示す断面図である。

図10(a), (b)は、本発明の第4の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

図11(a)～(c)は、本発明の第5の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

図12(a), (b)は、本発明の第5の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

図13は、本発明の第6の実施形態の相補型HDTMOSデバイスの構造を示す断面図である。

図14(a), (b)は、それぞれ順に、n-HDTMOSデバイス及びp-HDTMOSデバイスにおけるSiC/SiGe/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。

図15は、本発明の第7の実施形態の相補型HDTMOSデバイスの構造を示す断面図である。

図16(a), (b)は、それぞれ順に、n-HDTMOSデバイス及びp-HDTMOSデバイスにおけるSiGe/SiC/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。

図17は、本発明の第8の実施形態のHDTMOSデバイスの構造を示す断面図である。

図18(a), (b)は、それぞれ順に、n-HDTMOSデバイス及びp-HDTMOSデバイスにおけるSiGeC/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。

図19(a), (b)は、それぞれ順に、本発明の第6の実施形態のc-HDTMOSデバイスにSiキャップ層を設けたときのn-HDTMOSデバイス及びp-HDTMOSデバイスにおけるSi/SiC/SiGe/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。

図20は、pチャネルをSiGeにより構成したSi/SiGeヘテロ構造D-TMOSデバイスにおいて、Siキャップ層の厚さを1nmから10nmまで変化させた時の $V_g - I_d$ 特性図である。

図21は、文献において提案されている従来のDTMOSデバイスの構造を示す断面図である。

最良の実施形態

－第1の実施形態－

図1(a)～図2(b)は、本発明の第1の実施形態における半導体装置の製造工程を示す断面図である。

まず、図1(a)に示す工程で、熱酸化等により、p型のSi基板101の上に厚みが100nmのシリコン酸化膜102を形成した後、シリコン酸化膜102の上に厚み200nmのPt膜103xを堆積する。

次に、図1(b)に示す工程で、スパッタ法を用いて、Pt膜103x上に厚み6nmのTi膜104xを堆積し、続いて、基板温度600℃で、厚み500nmの強誘電体であるPZT(Pb(Zr, Ti)O₃)膜105xを堆積する。ここで、Pt膜103xは下部電極として機能し、Ti膜104xはPZT膜105xの成長のためのシード層として機能する。

次に、図1(c)に示す工程で、Si基板101をチャンバ106内に設置し、周波数が10GHz以上で80GHz以下の範囲内にある(例えば28GHz)電磁波(以下、単に、「ミリ波108」という)をミリ波導入口107からチャンバ106内に導入してPZT膜105xに照射する。ミリ波108の出力を、Si基板101の温度を熱電対などでモニタしながら、基板温度が350℃以下に保持されるように制御する。この状態で約30分間以上で90分間以下の範囲内の時間(例えば60分間)ミリ波108を照射する。照射時のチャンバ106内の雰囲気は、一般的には大気でよい。ただし、誘電体の種類、膜厚、下地の材料などによっては、窒素雰囲気中や酸素雰囲気中でミリ波の照射を行なった方が誘電体膜の特性が向上する場合がある。

本実施形態では、誘電体膜に10GHz以上で80GHz以下の電磁波(ミリ波)を照射したが、本実施形態の製造工程において、1GHz以上で100GHz以下の範囲にある電磁波照射によっても、本発明の効果を発揮することは可能である。ただし、特に、誘電体膜に10GHz以上で80GHz以下の電磁波(

ミリ波)を照射することにより、確実に本発明の効果を得ることができる。特に、通常波長の100倍程度の大きさのチャンバを用いてミリ波処理を行なう必要があるが、10GHzの電磁波を照射することにより、1GHzの電磁波を照射する場合に比べて1/10の大きさのチャンバを用いて、均一なミリ波照射処理を行なうことができる利点がある。また、照射する電磁波の周波数が高い方が誘電体膜による電磁波のエネルギーを吸収する効率が高いので、より効果的に誘電体膜を加熱することができる。

次に、図2(a)に示す工程で、スパッタ法等を用いて、PZT膜105x上に厚み500nmのIrO₂膜109xを堆積する。

次に、図2(b)に示す工程で、通常のリソグラフィとドライエッチングとを行なうことにより、IrO₂膜109xと、PZT膜105xと、Ti膜104xと、Pt膜103xとを順にパターニングして、下部電極103、シード層104、容量膜105及び上部電極109からなる強誘電体キャパシタCfeを形成する。

このようにして形成された強誘電体キャパシタCfeは残留分極が大きく、リーク電流が少ないという優れた性能を示した。例えば、径0.1mmのPt電極に対して、ミリ波照射のないものはリーク電流が 9.07×10^{-10} Aであったのが、ミリ波照射を行なったものではリーク電流が 5.05×10^{-10} Aとなっており、ミリ波の照射によってリーク電流が約半分にまで低減している。

また、ミリ波照射によって強誘電体膜の結晶性に変化が生じるすることもわかっている。この実験は、Si基板の上にシリコン酸化膜とBIT(Bi₄Ti₃O₁₂)膜とを積層したサンプルを作成して行なった。その際、BIT膜の堆積は、BITターゲットを用いたスパッタ法により行ない、基板は加熱していない。As-grownの状態では、BIT膜はアモルファス構造を有していることがX線回折によって確認されている。そして、大気中でBIT膜を600℃で5分間ミリ波照射によって加熱したサンプルと、BIT膜が形成されたサンプル全体を大気中で600℃で5分間、高速ランプ加熱炉によって加熱したサンプルとを準備した。

図3(a), (b)は、それぞれ順に、ミリ波照射によって加熱されたBIT

膜のX線回折写真図、及び高速ランプ加熱炉によって加熱されたB I T膜のX線回折写真図である。図3 (a) に示すように、ミリ波照射によって加熱されたサンプルのX線回折強度幅は大きく、図3 (b) に示すように、高速ランプ加熱炉によって加熱されたサンプルのX線回折強度幅は小さい。

つまり、図3 (a) , (b) から、強誘電体膜であるB I T膜の結晶粒のサイズは、ミリ波照射によって加熱されたときの方が高速ランプ加熱炉によって加熱されたときよりも小さいと考えられる。

また、ミリ波照射による処理が施された誘電体膜と、高速ランプ加熱炉による処理が行なわれた誘電体膜とでは、結晶の配向や結晶相が異なっていることがわかった。つまり、ミリ波照射した誘電体膜においては、通常の均一外部加熱による結晶化では生じ得ない結晶成長が生じていることがわかった。

図4 (a) , (b) は、それぞれ順に、ミリ波照射によって加熱されたB I T膜の表面S E M写真図、及び高速ランプ加熱炉によって加熱されたB I T膜の表面S E M写真図である。図4 (a) に示すように、ミリ波照射によって加熱されたサンプルの結晶粒のサイズは比較的小さく、図4 (b) に示すように、高速ランプ加熱炉によって加熱されたサンプルの結晶粒のサイズは比較的大きい。また、ミリ波照射によって加熱された誘電体膜の表面の凹凸は、高速ランプ加熱炉によって加熱された誘電体膜の表面の凹凸よりも小さい。

以上のように、ミリ波照射によって、結晶粒の小さい、つまり結晶粒が微細化された誘電体膜が得られる理由は、以下の通りと考えられる。

一般に、ミリ波照射によって、誘電体は下記式

$$P = 2 \pi \cdot f \cdot \epsilon_0 \cdot \epsilon_r \cdot \tan \delta \cdot E^2$$

で表される吸収を生じる。ここで、Pはミリ波の吸収率、fはミリ波の周波数、 ϵ_0 は誘電定数、 ϵ_r は比誘電率、 $\tan \delta$ は誘電損失、Eは電界強度である。

以上のように、誘電体は、ミリ波の吸収によって自己発熱するが、そのとき、特にグレインバウンダリなどの誘電損失の大きい部分で吸収が大きい。そして、特にミリ波照射の場合、誘電体膜のみが効果的に加熱され、誘電体膜の下方の基板はあまり加熱されない。したがって、誘電体膜のグレインバウンダリにミリ波が効果的に吸収されていると考えられる。そして、基板や周囲の雰囲気はほとんど

ど加熱されないことから、誘電体膜と周囲の雰囲気との間の温度差が大きくなる結果、誘電体膜の結晶粒の微細化が生じていると推測される。また、ミリ波照射により、誘電体膜が選択的に過熱され、ミリ波の振動方向に分極軸が揃いやすくなることも寄与していると考えられる。

特に、PZTなどのPb系やBi系など、基板からの再蒸発が生じやすい材料の場合、ミリ波照射のごとく誘電体膜の周囲の雰囲気の温度が低い条件下では、誘電体膜の基板からの再蒸発が防げるだけでなく、特に表面での結晶粒の抑制に効果があると考えられる。

そして、誘電体膜の結晶粒が微細化されていることにより、リーク電流が低減されていると考えられる。この現象は、ポリシリコン膜の結晶粒が小さいほど抵抗が大きくなるのと同様と考えられる。また、誘電体膜の配向性が向上することにより、比誘電率を高めることができる。

また、誘電体膜の結晶粒の微細化により、キャパシタの容量のばらつきが抑制される。よって、本実施形態のように、誘電体膜にミリ波照射による加熱を行なうことにより、リーク電流の低減と相俟って、誘電体膜が配置されるデバイスの信頼性の向上を図ることができる。

さらに、本実施形態のごとく、半導体装置の要素として用いられる誘電体膜（特に、強誘電体膜や高誘電率誘電体膜）にミリ波照射による処理を行なうことにより、以下のような著効を発揮することができる。

半導体基板上の誘電体膜の加熱の場合、Si、SiGe、GaAsなどは、金属波の熱伝導率を有しているので、ミリ波照射時における誘電体膜と周囲の雰囲気との温度差がより大きくなる。その結果、誘電体膜の結晶粒をより微細化することができると考えられる。そして、誘電体膜のみを効果的に加熱することができるので、半導体基板中に既に形成されている不純物拡散層（MISトランジスタにおけるソース・ドレイン領域など）のプロファイルに悪影響を及ぼすことがないという大きな効果を発揮することができる。

また、半導体装置の場合、ゲート構造やメモリセルの記憶容量部の微細化が要求されるので、誘電体膜中の結晶粒の微細化による信頼性の向上効果が大きい。さらに、リーク電流の小さい誘電体膜が得られることにより、ゲート絶縁膜や記

憶容量部の容量膜の厚みを薄くできるので、誘電体膜の容量を小さな面積で大きく確保することが可能になり、MISトランジスタの低電圧化や、強誘電体メモリやDRAMのメモリセルの微細化という効果を発揮することができる。

そして、デザインルールが $0.1\mu\text{m}$ レベルの微細なトランジスタを含む半導体装置や、ガラス基板上に形成された膜トランジスタ(TFT)と強誘電体膜とで構成されたメモリ機能内臓型の表示装置等を形成することが可能となる。

なお、本実施形態においては、基板としてp型のSi基板を用いたが、n型のSi基板を用いてもよいし、GaAs等の他の半導体基板や石英やセラミクスなどの絶縁体基板を用いてもよい。さらに、 500°C 以上の熱に対して弱いガラス基板も用いることが可能となる。

本実施形態においては、PZTからなる容量膜105の下方に設けられる下部電極103としてPt膜を用いたが、他の金属材料、例えばCuやAgを用いてもよいし、強誘電体キャパシタ用電極として通常用いられるPtや IrO_2 や RuO_2 等を用いることもできる。

本実施形態においては、下部電極となるPt膜103x、誘電体膜のシード層であるTi膜104xの堆積に引き続いて、PZT膜105x(誘電体膜)を堆積しているが、誘電体膜の堆積前に、Pt膜103xのパターニングにより下部電極を形成しておいてもよい。この場合、通常の写真エッチ工程や、ダマシン法などにより形成することができる。

本実施形態においては、シード層104としてTi膜を用いたが、PLT膜や ZrO_2 等を用いることができる。また、シード層は必ずしも設ける必要がないし、誘電体膜の上下両側に設けてもよい。

本実施形態においては、上部電極109を構成する材料として、PZT膜の還元を防止するために IrO_2 を用いたが、還元が生じにくい物質や条件下であれば、Ptや RuO_2 等他の材料を使用することもできる。

本実施形態では、容量膜105を構成する材料としてPZTを用いたが、容量膜105を構成する材料としては、PZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)にさらにLaを付加したPLZT($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)や、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、($\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9$)、STO(SrTi

TiO_2), BaTiO_3), $\text{Bi}_4\text{Ti}_3\text{O}_{12}$)等の強誘電体材料や、 $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ 等の高誘電率誘電体材料を用いることができる。

本実施形態においては、PZT膜105xを堆積した直後に、PZT膜105xにミリ波108を照射したが、誘電体の種類や膜厚、構成によっては、上部電極用の導体膜を形成した後にミリ波を照射した方がよい場合もある。

本実施形態の図2(b)には、強誘電体キャパシタCfeの下方には、シリコン酸化膜102と、Si基板101だけが存在している構造が示されているが、通常のMOSプロセスやバイポーラプロセスを用いる場合には、トランジスタのソース・ドレイン領域やコレクタ領域、ベース領域、エミッタ領域などが形成されている。

－第2の実施形態－

図5(a)～図6(b)は、本発明の第2の実施形態における半導体装置の製造工程を示す断面図である。

まず、図5(a)に示す工程で、熱酸化等により、p型のSi基板201の上に厚みが300nmのシリコン酸化膜202を形成した後、シリコン酸化膜202の上に厚み800nmのAl膜203xを堆積する。

次に、図5(b)に示す工程で、スパッタ法又はCVD法を用いて、Al膜203x上に厚み10nmの SiO_2 膜204xを堆積し、続いて、基板温度600℃で、厚み300nmの強誘電体であるPZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)膜205xを堆積する。これらの工程において、Si基板201の温度は400℃以下に保たれている。

次に、図5(c)に示す工程で、Si基板201をチャンバ206内に設置し、周波数が10GHz以上で80GHz以下の範囲内にある(例えば28GHz)電磁波(以下、単に、「ミリ波208」という)をミリ波導入口207からチャンバ206内に導入してSi基板201に照射する。ミリ波208の出力を、Si基板201の温度を熱電対などでモニタしながら、基板温度が350℃以下に保持されるように制御する。この状態で約30分間以上で90分間以下の範囲内の時間(例えば60分間)ミリ波208を照射する。照射時のチャンバ206

内の雰囲気は、一般的には大気でよい。ただし、誘電体の種類、膜厚、下地の材料などによっては、窒素雰囲気中や酸素雰囲気中でミリ波の照射を行なった方が誘電体膜の特性が向上する場合がある。

本実施形態では、誘電体膜に10GHz以上で80GHz以下の電磁波（ミリ波）を照射したが、本実施形態の製造工程において、1GHz以上で100GHz以下の範囲にある電磁波照射によっても、本発明の効果を発揮することは可能である。ただし、特に、誘電体膜に10GHz以上で80GHz以下の電磁波（ミリ波）を照射することにより、確実に本発明の効果をを得ることができる。

次に、図6（a）に示す工程で、スパッタ法又はCVD法を用いて、PZT膜205xの上に厚み10nmのSiO₂膜209xを堆積する。続いて、スパッタ法等を用いて、SiO₂膜209xの上に厚み500nmのIrO₂膜210xを堆積する。

次に、図6（b）に示す工程で、通常のリソグラフィとドライエッチングとを行なうことにより、IrO₂膜210xと、SiO₂膜209xと、PZT膜205xと、SiO₂膜204xと、Al膜203xとをパターンニングして、下部電極203、下部絶縁膜204、容量膜205、上部絶縁膜209及び上部電極210からなる強誘電体キャパシタCfeを形成する。

本実施形態においては、PZTからなる容量膜205と、下部電極203との間にSiO₂からなる下部絶縁膜204を設けている。また、容量膜205と、上部電極210との間にもSiO₂からなる上部絶縁膜209を設けている。このように、PZTからなる容量膜205を絶縁性の高いSiO₂からなる下部及び上部絶縁膜204、209で挟むことにより、第1の実施形態よりおさらに強誘電体キャパシタCfe全体のリーク電流を抑制することができ、強誘電体キャパシタCfeの性能を向上させることができる。

特に、従来の方法では、基板温度を高くしても非晶質のSiO₂膜上には高品質の強誘電体膜は形成することができなかったが、本実施形態を用いれば、ミリ波208の照射効果により、PZT膜等の強誘電体膜の形成時又は形成後の処理において、誘電体膜を高温に加熱しても基板を500℃以上の高温にする必要がないので、基板に設けられたトランジスタ等のデバイスの特性に悪影響を与える

ことなく、高品質の強誘電体膜を形成することができる。

そして、デザインルールが $0.1\mu\text{m}$ レベルの微細なトランジスタを含む半導体装置や、ガラス基板上に形成された膜トランジスタ(TFT)と強誘電体膜とで構成されたメモリ機能内臓型の表示装置等を形成することが可能となる。

なお、本実施形態では、絶縁膜として SiO_2 膜を用いたが、 SiO_2 膜204xや SiO_2 膜209xに代えて、MISトランジスタのゲート絶縁膜として一般に用いられる Si_3N_4 膜や SiON 膜、 CeO_2 膜、 Pr_2O_3 膜、 ZrO_2 膜、 Al_2O_3 膜、 AlN 膜等、あるいはこれらの絶縁膜を複数層積層した多層膜を用いることもできる。

なお、本実施形態においては、基板としてp型のSi基板を用いたが、n型のSi基板を用いてもよいし、GaAs等の他の半導体基板や石英やセラミクスなどの絶縁体基板を用いてもよい。さらに、 500°C 以上の熱に対して弱いガラス基板も用いることが可能となる。

本実施形態においては、PZTからなる容量膜205の下方に設けられる下部電極203としてPt膜を用いたが、他の金属材料、例えばCuやAgを用いてもよいし、強誘電体キャパシタ用電極として通常用いられるPtや IrO_2 や RuO_2 等を用いることもできる。

本実施形態においては、下部電極となるPt膜203x、絶縁膜である SiO_2 膜204xの堆積に引き続いて、PZT膜205x(誘電体膜)を堆積しているが、誘電体膜の堆積前に、Pt膜203xのパターニングにより下部電極を形成しておいてもよい。この場合、通常の写真エッチ工程や、ダマシン法などにより形成することができる。

本実施形態においては、上部電極210を構成する材料として、PZT膜の還元を防止するために IrO_2 を用いたが、還元が生じにくい物質や条件下であれば、Ptや RuO_2 等他の材料を使用することもできる。

本実施形態では、容量膜205を構成する材料としてPZTを用いたが、容量膜205を構成する材料としては、PZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)にさらにLaを付加したPLZT($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)や、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、($\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9$)、STO(SrTiO_3)などを用いることもできる。

TiO_2), BaTiO_3), $\text{Bi}_4\text{Ti}_3\text{O}_{12}$) 等の強誘電体材料や、 $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ 等の高誘電率誘電体材料を用いることができる。

本実施形態においては、PZT膜205xを堆積した直後に、PZT膜205xにミリ波208を照射したが、誘電体の種類や膜厚、構成によっては、上部電極用の導体膜を形成した後にミリ波を照射した方がよい場合もある。

本実施形態の図6(b)においては、強誘電体キャパシタCfeの下方には、シリコン酸化膜202と、Si基板201だけが存在している構造が示されているが、通常のMOSプロセスやバイポーラプロセスを用いる場合には、トランジスタのソース・ドレイン領域やコレクタ領域、ベース領域、エミッタ領域などが形成されている。

－第3の実施形態－

図7(a)～図8(b)は、本発明の第3の実施形態における半導体装置の製造工程を示す断面図である。

まず、図7(a)に示す工程で、Si基板301上の一部に、選択酸化法等を用いて、厚みが約400nmのいわゆるLOCOS構造の素子分離酸化膜302を形成する。その後、トランジスタのしきい値を制御するために、Si基板301中にボロンなどのp型不純物イオンを注入する。また、Si基板301内の素子分離酸化膜302に接する領域には、ボロンなどのp型の不純物がドーピングされてなるチャンネルストップ領域が形成される。なお、場合によっては、pウェルを形成する場合もある。その後、熱酸化法により、p型のSi基板301の表面部分を酸化して、素子分離酸化膜302によって囲まれる活性領域の上に、厚みが約10nmのゲート絶縁膜となるゲート酸化膜303を形成する。また、本実施形態においては、nチャネル型MOSトランジスタを形成する場合について説明するが、CMOSデバイスにおいては、pチャネル型MOSトランジスタも形成される。pチャネル型MOSトランジスタを形成する場合には、Si基板301内に、しきい値制御用の不純物（ゲート電極材料によりリン、ヒ素、ボロンなどを使い分ける）のイオン注入、チャンネルストッパー形成用のn型不純物のイオン注入、nウェル形成用のn型不純物のイオン注入などが行なわれる。次に、減圧

CVD法等を用い、基板上に厚みが約330nmのポリシリコン膜を堆積し、POCl₃などを用いた固相拡散法により、ポリシリコン膜中に 10^{20}cm^{-3} 程度の高濃度のリンを拡散し、縮退した高濃度n型ポリシリコンにする。さらに、フォトリソグラフィなどを用いてフォトレジストマスク（図示せず）を形成した後、フォトレジストマスクを用いてRIE等のドライエッチングにより、高濃度n型ポリシリコン膜をパターニングし、ポリシリコンゲート電極304を形成する。次に、ポリシリコンゲート電極304及び素子分離酸化膜302をマスクとして砒素又はリンのイオン注入を行なった後、引き続いてRTaなどによる不純物の活性化を行なって、ソース・ドレイン領域となるn型拡散層305を形成する。

次に、図7（b）に示す工程で、基板上に厚みが約800nmのシリコン酸化膜からなる層間絶縁膜306を堆積し、通常フォトリソグラフィとドライエッチングを用いて、層間絶縁膜306を貫通してn型拡散層305に到達するコンタクトホール307を形成する。なお、図7（b）中にはソース・ドレイン領域となるn型拡散層305上のコンタクトホール307のみが図示されているが、図7（b）に示す断面とは別の断面において、層間絶縁膜306を貫通してポリシリコンゲート電極304に到達するコンタクトホールが形成されている。次に、CVD法などにより、コンタクトホール307中にタングステンを埋め込んでタングステンプラグ308を形成し、さらに、タングステンプラグ308及び層間絶縁膜306の上に、厚みが約800nmのアルミニウム合金膜（CuやSiを含有する場合が多い）を堆積した後、通常フォトリソグラフィとドライエッチングを用いてこれをパターニングすることにより、アルミニウム配線309を形成する。

次に、図7（c）に示す工程で、スパッタ法もしくはプラズマCVD法により、アルミニウム配線309上に厚み10nmのSiO₂膜314xを形成し、続いて同じくスパッタ法やMO-CVD法により、厚み300nmの強誘電体であるPZT（Pb（Zr、Ti）O₃）膜315xを堆積する。これらの工程において、Si基板301の温度は400℃以下に保たれている。

次に、図8（a）に示す工程で、Si基板301をチャンバ326内に設置し

、10GHz以上で80GHz以下の範囲内の周波数（例えば28GHz）を有するミリ波328を、ミリ波導入口327からチャンバ326内に導入してPZT膜315xに照射する。ミリ波328の出力を、Si基板301の温度を熱電対などでモニタしながら、基板温度が350℃以下に保持されるように制御する。この状態で約30分間以上で90分間以下の範囲内の時間（例えば60分間）ミリ波328を照射する。照射時のチャンバ326内の雰囲気は、一般的には大気でよい。ただし、誘電体の種類、膜厚、下地の材料などによっては、窒素雰囲気中や酸素雰囲気中でミリ波の照射を行なった方が誘電体膜の特性が向上する場合がある。

本実施形態では、誘電体膜に10GHz以上で80GHz以下の電磁波（ミリ波）を照射したが、本実施形態の製造工程において、1GHz以上で100GHz以下の範囲にある電磁波照射によっても、本発明の効果を発揮することは可能である。ただし、特に、誘電体膜に10GHz以上で80GHz以下の電磁波（ミリ波）を照射することにより、確実に本発明の効果をを得ることができる。

次に、図8（b）に示す工程で、スパッタ法もしくはプラズマCVD法等を用いて、PZT膜315x上に厚み10nmのSiO₂膜を形成する。続いて、スパッタ法等を用いて、SiO₂膜の上に厚み500nmのIrO₂膜を堆積してから、通常のリソグラフィとドライエッチングとを行なうことにより、IrO₂膜と、PZT膜315xと、SiO₂膜314xとをパターンニングして、下部絶縁膜314、容量膜305、上部絶縁膜319及び上部電極320を備え、アルミニウム配線309を下部電極として有する強誘電体キャパシタCfeを形成する。

その後、厚みが約200nmのプラズマ酸化膜と厚みが約600nmのプラズマ窒化膜からなる表面保護膜を形成し（図示せず）、ボンディングパッド（図示せず）を開口する。

このようにして形成された強誘電体キャパシタは残留分極が大きく、リーク電流が少ない高い性能を示した。ミリ波照射によってPZT膜315が選択的に加熱され、第1の実施形態で説明したように、PZT膜中の結晶粒の微細化とミリ波の振動方向に分極軸が揃うことによる結晶性の改善があったのではないかと推

察される。

本実施形態においては、形成した強誘電体キャパシタの基板主面下部にMOSトランジスタを形成したが、バイポーラプロセスを用いてバイポーラトランジスタを形成しておいても良い。本実施形態を用いれば、強誘電体膜形成時及びその後基板を500℃以上の高温にする必要がないため、基板上にあらかじめ形成されたトランジスタと特性が劣化することはなく、かつ、トランジスタ直上に強誘電体キャパシタを形成することができ、基板面積を縮小して高密度化を実現できる。よって、0.1μmレベルの微細なトランジスタを含む半導体装置や、ガラス基板上に形成された膜トランジスタ(TFT)と強誘電体膜とで構成されたメモリ機能内蔵型の表示装置等を形成することが可能となる。また、強誘電体を記憶素子としたニューロン型デバイスにも使用することができる。

本実施形態においては、アルミニウム配線309と、容量膜315との間にSiO₂からなる下部絶縁膜314を設けている。また、容量膜315と、IrO₂からなる上部電極320との間にも、SiO₂からなる上部絶縁膜319を設けている。このように、容量膜315を絶縁性の高いSiO₂膜で挟むことにより、第1の実施形態よりもさらに強誘電体キャパシタCfe全体のリーク電流を抑制することができ、強誘電体キャパシタCfe全体の性能を向上させることができる。

特に、従来の方法では、基板温度を高くしても非晶質のSiO₂膜上には高品質の強誘電体膜は形成することができなかったが、本実施形態を用いれば、ミリ波308の照射効果により、PZT膜等の強誘電体膜の形成した後の処理において、誘電体膜を高温に加熱しても基板を500℃以上の高温にする必要がないので、基板に設けられたトランジスタ等のデバイスの特性に悪影響を与えることなく、高品質の強誘電体膜を形成することができる。

なお、本実施形態では、上部又は下部絶縁膜319、314としてSiO₂膜を用いたが、SiO₂膜に代えて、MISトランジスタのゲート絶縁膜として一般に用いられるSi₃N₄膜やSiON膜、CeO₂膜、Pr₂O₃膜、ZrO₂膜、Al₂O₃膜、AlN膜等、あるいはこれらの絶縁膜を複数層積層した多層膜を用いることもできる。

なお、本実施形態においては、基板としてp型のSi基板301を用いたが、n型のSi基板を用いてもよいし、GaAs等の他の半導体基板や石英やセラミクスなどの絶縁体基板を用いてもよい。さらに、500℃以上の熱に対して弱いガラス基板も用いることが可能となる。

また、本実施形態においては、容量膜315の下部電極としてアルミニウム配線309を用いたが、他の金属材料、例えばCuやAgからなる導体膜を用いてもよいし、強誘電体キャパシタの電極用材料として通常用いられるPtやIrO₂やRuO₂等を用いることもできる。

本実施形態においては、パターニングによりアルミニウム配線309を形成するための加工として、通常のリソグラフィ工程及びエッチング工程を用いたが、ダマシン法などにより形成することもできる。

本実施形態においては強誘電体膜を形成するための種となるシード層は形成していないが、Ti膜や、PLT膜やZrO₂膜等を、アルミニウム配線309と容量膜315との間で容量膜315に接するように設けたり、容量膜315と上部電極320との間で容量膜に接するように設け、これをシード層として用いてもよい。

本実施形態においては、上部電極320を構成する材料として、PZT膜の還元を防止するためにIrO₂を用いたが、還元が生じにくい物質や条件下であれば、PtやRuO₂等他の材料を使用することもできる。

本実施形態では、容量膜305を構成する材料としてPZTを用いたが、容量膜305を構成する材料としては、PZT(Pb(Zr、Ti)O₃)にさらにLaを付加したPLZT((Pb、La)(Zr、Ti)O₃)や、SBT(SrBi₂Ta₂O₉)、(SrBi₂(Nb、Ta)₂O₉)、STO(SrTiO₃)、BTO(BaTiO₃)、BIT(Bi₄Ti₃O₁₂)等の強誘電体材料や、BST((Ba、Sr)TiO₃)等の高誘電率誘電体材料を用いることができる。

－第4の実施形態－

図9(a)～図10(b)は、本発明の第4の実施形態における半導体装置の製造工程を示す断面図である。

まず、図9(a)に示す工程で、熱酸化等により、p型のSi基板401の上に厚みが300nmのシリコン酸化膜402を形成した後、シリコン酸化膜402の上に厚み800nmのAl膜403xを堆積する。

次に、図9(b)に示す工程で、スパッタ法を用いて、Al膜403x上に厚み10nmのTi膜404xを堆積し、続いて、厚み300nmの強誘電体であるPZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)膜405xを堆積する。ここで、Al膜403xは下部電極として機能し、Ti膜404xはPZT膜405xの成長のためのシード層として機能する。これらの工程において、基板温度は400℃以下に保たれている。

次に、図9(c)に示す工程で、スパッタ法等を用いて、PZT膜405x上に厚み500nmのIr膜409xを堆積する。

次に、図10(a)に示す工程で、Si基板401をチャンバ406内に設置し、周波数が10GHz以上で80GHz以下の範囲内にある(例えば28GHz)ミリ波408をミリ波導入口407からチャンバ406内に導入して、Ir膜409x及びPZT膜405xに照射する。その際、ミリ波408を照射中に、Ir膜409xはアースに接続されている。また、ミリ波408の出力を、Si基板401の温度を熱電対などでモニタしながら、基板温度が350℃以下に保持されるように制御する。この状態で約30分間以上で90分間以下の範囲内の時間(例えば60分間)ミリ波408を照射する。照射時のチャンバ406内の雰囲気は、一般的には大気でよい。ただし、誘電体の種類、膜厚、下地の材料などによっては、窒素雰囲気中や酸素雰囲気中でミリ波の照射を行なった方が誘電体膜の特性が向上する場合がある。

本実施形態では、誘電体膜に10GHz以上で80GHz以下の電磁波(ミリ波)を照射したが、本実施形態の製造工程において、1GHz以上で100GHz以下の範囲にある電磁波照射によっても、本発明の効果を発揮することは可能である。ただし、特に、誘電体膜に10GHz以上で80GHz以下の電磁波(ミリ波)を照射することにより、確実に本発明の効果をを得ることができる。

次に、図10(b)に示す工程で、通常の写真リソグラフィとドライエッチングとを行なうことにより、IrO₃膜409xと、PZT膜405xと、Ti

膜404xと、Al膜403xとをバターニングして、下部電極403，シード層404，容量膜405及び上部電極409からなる強誘電体キャパシタCfeを形成する。

本実施形態によると、図10(a)に示す工程で、Ir膜409xでPZT膜405xを覆った状態で、ミリ波408を照射しているが、Ir膜409xはアースに接続されているので、ミリ波408による誘導電流がIr膜409xに疲閉ループ状に流れてあまりにも高温に加熱されたり、誘導加熱による基板上のデバイスへのダメージを回避することができる。よって、本実施形態においても、PZT膜405xを局所的に加熱することができ、第1の実施形態と同じ効果を発揮することができる。すなわち、誘電体膜の結晶粒の微細化等によるリーク電流の低減などの特性の向上を図ることができる。

なお、図10(a)に示す工程は、Ir膜409xなどをバターニングして上部電極409等を形成してから行なってもよい。ただし、その場合には、PZT膜405xのうち実際に用いられる部分だけを効率的に加熱しうる利点はあるものの、微細パターンを有する上部電極409をアースに接続するのが困難であることから放電電流がPZT膜を貫通しないように特別の配慮が必要である。

本実施形態においては、上部電極409を構成する材料として、PZT膜の還元を防止するためにIrを用いたが、還元が生じにくい物質や条件下であれば、PtやRuO₂等他の材料を使用することもできる。

本実施形態では、容量膜405を構成する材料としてPZTを用いたが、容量膜405を構成する材料としては、PZT(Pb(Zr、Ti)O₃)にさらにLaを付加したPLZT((Pb、La)(Zr、Ti)O₃)や、SBT(SrBi₂Ta₂O₉)、(SrBi₂(Nb、Ta)₂O₉)、STO(SrTiO₃)、BTO(BaTiO₃)、BIT(Bi₄Ti₃O₁₂)等の強誘電体材料や、BST((Ba、Sr)TiO₃)等の高誘電率誘電体材料を用いることができる。

本実施形態の図10(b)においては、強誘電体キャパシタCfeの下方には、シリコン酸化膜402と、Si基板401だけが存在している構造が示されているが、通常のMOSプロセスやバイポーラプロセスを用いる場合には、トランジ

スタのソース・ドレイン領域やコレクタ領域、ベース領域、エミッタ領域などが形成されている。

－第5の実施形態－

図11(a)～図12(b)は、本発明の第5の実施形態における半導体装置の製造工程を示す断面図である。

まず、図11(a)に示す工程で、熱酸化等により、p型のSi基板501の上に厚みが300nmのシリコン酸化膜502を形成した後、シリコン酸化膜502の上に厚み800nmのIr膜503xを堆積する。

次に、図11(b)に示す工程で、スパッタ法を用いて、厚み300nmの強誘電体膜であるBIT($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)膜504xを堆積する。

次に、図11(c)に示す工程で、スパッタ法等を用いて、BIT膜504x上に高誘電損失性を有する膜(例えばBST($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$))からなるカバー膜505xを堆積する。

次に、図12(a)に示す工程で、Si基板501をチャンバ506内に設置し、周波数が10GHz以上で80GHz以下の範囲内にある(例えば28GHz)ミリ波508をミリ波導入口507からチャンバ506内に導入して、カバー膜505x及びBIT膜504xに照射する。その際、ミリ波508を照射中に、カバー膜505xをアースに接続する必要はない。そして、ミリ波508の出力を、Si基板501の温度を熱電対などでモニタしながら、基板温度が350℃以下に保持されるように制御する。この状態で約30分間以上で90分間以下の範囲内の時間(例えば60分間)ミリ波508を照射する。照射時のチャンバ506内の雰囲気は、一般的には大気でもよい。ただし、誘電体の種類、膜厚、下地の材料などによっては、窒素雰囲気中や酸素雰囲気中でミリ波の照射を行なった方が誘電体膜の特性が向上する場合がある。

本実施形態では、誘電体膜に10GHz以上で80GHz以下の電磁波(ミリ波)を照射したが、本実施形態の製造工程において、1GHz以上で100GHz以下の範囲にある電磁波照射によっても、本発明の効果を発揮することは可能である。ただし、特に、誘電体膜に10GHz以上で80GHz以下の電磁波(ミリ波)を照射することにより、確実に本発明の効果をを得ることができる。

次に、図12(b)に示す工程で、カバー膜505xを除去する。その後の工程の図示は省略するが、BIT膜504xの上に、上部電極用の導体膜（例えばPt膜又はIrO₂膜など）を堆積した後、通常のリソグラフィとドライエッチングとを行なうことにより、導体膜と、BIT膜504xと、Ir膜503xとをパターニングして、下部電極、容量膜及び上部電極からなる強誘電体キャパシタを形成する。

本実施形態によると、図12(a)に示す工程で、誘電損失の高いカバー膜505でBIT膜504xを覆った状態で、ミリ波508を照射しているので、カバー膜504xが効率よくミリ波を吸収して加熱される。よって、カバー膜505xによる誘電体膜の加熱効果を利用して、誘電体膜の結晶粒の微細化等によるリーク電流の低減などの特性の向上をより効果的に発揮することができる。

本実施形態で用いられるカバー膜505xは、ミリ波508による処理を受ける誘電体膜、本実施形態ではBIT膜504xよりも誘電率あるいは誘電損失の大きい材料が好ましい。通常、誘電体材料の誘電損失は、温度上昇に伴い大きくなる傾向があるが、例えば強誘電体材料のように、キュリー温度近傍で誘電率の極大を示す材料もあるので、ミリ波処理の対象となる誘電体膜の誘電特性との関係でカバー膜505xの材料を選択することが好ましい。本実施形態では、容量膜を構成する材料としてBITを採用している。BITは、キュリー温度が600℃付近にあって、常誘電体成分の比誘電率は50～100と比較的小さい。そこで、本実施形態においては、BST膜のような高誘電率誘電体膜からなるカバー膜505xをBIT膜504xの上に形成している。

なお、。BST膜の除去は、反応性イオンエッチングなどの通常用いられるドライエッチング法を用いることで、容易に行なわれる。

本実施形態においては、上部電極を構成する材料として、Ir、IrO₂等の他、PtやRuO₂等他の材料を使用することができる。

本実施形態では、容量膜504を構成する材料としてBITを用いたが、容量膜504を構成する材料としては、PZT(Pb(Zr、Ti)O₃)にさらにLaを付加したPLZT((Pb、La)(Zr、Ti)O₃)や、SBT(SrBi₂Ta₂O₉)、(SrBi₂(Nb、Ta)₂O₉)、STO(SrTi

TiO_2), BaTiO_3), $\text{Bi}_4\text{Ti}_3\text{O}_{12}$)等の強誘電体材料や、 $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ 等の高誘電率誘電体材料を用いることができる。

本実施形態の図12(b)においては、強誘電体キャパシタが形成される領域の下方には、シリコン酸化膜502と、Si基板501だけが存在している構造が示されているが、通常のMOSプロセスやバイポーラプロセスを用いる場合には、トランジスタのソース・ドレイン領域やコレクタ領域、ベース領域、エミッタ領域などが形成されている。

－第6の実施形態－

次に、 $\text{SiC}/\text{SiGe}/\text{Si}$ ヘテロ接合を有する相補型HDTMOSデバイス(Heterojunction Dynamic Threshold Voltage MOSFET.)の例である第6の実施形態について説明する。本実施形態においては、nチャネル用のチャネル領域を SiC/SiGe ヘテロ接合部により構成し、pチャネル用のチャネル領域を SiGe/Si ヘテロ接合部により構成する。なお、本発明では、ゲート絶縁膜がシリコン酸化膜以外の絶縁膜、例えばシリコン窒化膜、シリコン酸窒化膜、高誘電体膜等である場合にも、便宜上、「DTMOSデバイス」という用語を用いる。したがって、本発明におけるDTMOSデバイス中のMISトランジスタは、窒化膜や酸窒化膜などによって構成されるゲート絶縁膜を備えていてもよいものとする。

図13は、本発明の第6の実施形態の相補型HDTMOSデバイス(以下、c-HDTMOSデバイスという)の構造を示す断面図である。同図に示すように、本実施形態のc-HDTMOSデバイスは、p型のSi基板610と、Si基板に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜611と、埋め込み酸化膜611の上に設けられたnチャネル型HDTMOSデバイス(n-HDTMOSデバイス)用の半導体層630と、埋め込み酸化膜611の上に設けられたpチャネル型HDTMOSデバイス(p-HDTMOSデバイス)用の半導体層680とを有している。半導体層630, 680は、それぞれ同時に形成された共通の膜によって構成されている。

半導体層630, 680は、SOI基板の上部を構成する上部Si膜612と

、上部Si膜612の上にUHV-CVD法によりエピタキシャル成長されたSiGe ($\text{Si}_{1-x}\text{Ge}_x$: $x=0.40$) 膜614aと、SiGe膜614aの上にUHV-CVD法によりエピタキシャル成長されたSiC ($\text{Si}_{1-y}\text{C}_y$: $y=0.020$) 膜614bとから構成されている。ここで、埋め込み酸化膜611の厚さは約100nmであり、上部Si膜612の厚みは約100nmであり、SiGe膜614aの厚みは約10nmであり、SiC膜614bの厚みは約10nmである。

さらに、n-HDTMOSデバイスは、Si膜615の上に設けられたシリコン酸化膜からなるゲート絶縁膜616と、ゲート絶縁膜616の上に設けられ高濃度のn型不純物(P, Asなど)を含むポリシリコンからなるゲート電極617とを備えている。そして、半導体層630のうちゲート電極617の両側方に位置する領域には高濃度のn型不純物を含むソース領域620a及びドレイン領域620bが設けられている。また、上部Si膜612のうちソース領域620aとドレイン領域620bとの間の領域は、高濃度(約 $1 \times 10^{19} \text{atoms} \cdot \text{cm}^{-3}$)のp型不純物を含むSiボディ領域622となっている。そして、SiGe膜614a, SiC膜614bのうちソース領域620aとドレイン領域620bとの間の領域は、比較的低濃度のp型不純物を含むアンドープ層であるSiGe-pチャネル領域624a, SiC-nチャネル領域624bとなっている。また、ゲート電極617とSiボディ領域622とを電気的に接続する導体部材であるコンタクト618とが設けられ、ゲート電極617の側面上にはシリコン酸化膜からなるサイドウォール627が設けられている。

また、p-HDTMOSデバイスは、Si膜615の上に設けられたシリコン酸化膜からなるゲート絶縁膜656と、ゲート絶縁膜656の上に設けられ、高濃度のp型不純物(Bなど)を含むゲート電極657とを備えている。そして、半導体層680のうちゲート電極657の両側方に位置する領域には高濃度のp型不純物を含むソース領域660a及びドレイン領域660bが設けられている。また、上部Si膜612のうちソース領域660aとドレイン領域660bとの間の領域は、高濃度(約 $1 \times 10^{19} \text{atoms} \cdot \text{cm}^{-3}$)のn型不純物を含むSiボディ領域662となっている。そして、SiGe膜614a, SiC膜614

bのうちソース領域660aとドレイン領域660bとの間の領域は、比較的低濃度のn型不純物を含むアンドープ層であるSiC-nチャネル領域624a, SiGe-pチャネル領域624bとなっている。また、ゲート電極657とSiボディ領域662とを電氣的に接続する導体部材であるコンタクト658とが設けられ、ゲート電極657の側面上にはシリコン酸化膜がらなるサイドウォール667が設けられている。

さらに、基板上には、層間絶縁膜690と、層間絶縁膜690を貫通してソース・ドレイン領域620a, 620b, 660a, 660bに接触するコンタクト691と、コンタクト691に接続されて層間絶縁膜690の上に延びるソース・ドレイン電極692とが設けられている。

本実施形態の相補型HDTMOSデバイスの製造工程においては、SOI基板の一部である上部Si膜は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の不純物がドーピングされた p^+ Si層 (n-HDTMOSデバイス領域) と n^+ Si層 (p-HDTMOSデバイス領域) とになっており、UHV-CVD法によりエピタキシャル成長されたSiバッファ層、SiC膜、SiGe膜、Siキャップ層は、いずれもas-grownの状態では、不純物がドーピングされていないアンドープ層となっている。

図14(a), (b)は、それぞれ順に、n-HDTMOSデバイス及びp-HDTMOSデバイスにおけるSiC/SiGe/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。図14(a)に示すように、n-HDTMOSデバイスにおいて、SiC-nチャネル領域におけるSiC/SiGeヘテロ接合部には、伝導帯端に大きなバンドオフセット (ヘテロ障壁) が形成されるので、SiC層をnチャネル用のチャネル領域として利用することができる。図14(b)に示すように、SiGe-pチャネル領域におけるSiC/SiGeヘテロ接合部には、価電子帯端に大きなバンドオフセット (ヘテロ障壁) が形成されるので、SiGe層をpチャネル用のチャネル領域として利用することができる。このように、電子、正孔それぞれに対して、最もバンドオフセット値 (ヘテロ障壁の高さ) が大きくなるヘテロ接合構造を用いることにより、nチャネル、pチャネル両方において、以下のように、ヘテロ接合の特徴を十

分に引き出すことができる。

Siホモ構造を有するDTMOSデバイスに比べ、HDTMOSデバイスにおいては、基板のバンドギャップよりも小さなバンドギャップを有する半導体層をチャンネルとして用いることで、しきい値電圧を下げて動作電圧範囲を拡大することができる。つまり、ヘテロ障壁によって形成されるポテンシャル井戸には、低電界の状態においてもキャリアが蓄積されるため、しきい値電圧の低減化が実現でき、しきい値電圧の低減化により、ボディ領域の不純物濃度を高めることが可能となる。さらに、ボディ領域の不純物濃度の高濃度化によりボディ抵抗が低減されるため、CR遅延を抑制することができ、高速動作が可能となる。また、ボディ領域の不純物濃度の高濃度化によりショートチャンネル効果を抑制することができる。

また、本実施形態の特徴は、n-HDTMOSデバイス及びp-HDTMOSデバイスにおいて、SiC層の上にSiキャップ層が設けられていない点である。これにより、上述のHDTMOSデバイスの利点に加えて、以下に述べるような格別の作用効果を発揮することができる。

まず、n-HDTMOSデバイスにおいては、電子の閉じ込めに有利な伝導帯にヘテロ障壁を生じるため、通常のSi単独からなるトランジスタに比べ、しきい値電圧の低減が可能になり、大きな動作電圧範囲を確保できる。また、この構造では、Siキャップ層が存在しないので、SiC-nチャンネル層は表面チャンネルとなる。その結果、n-HDTMOSデバイスにおいては、一般的なヘテロ構造MOSで問題とされている寄生チャンネルが生じることはない。

また、p-HDTMOSデバイスにおいても、正孔（ホール）の閉じ込めに有利な価電子帯にヘテロ障壁を生じるため、通常のSi単独からなるトランジスタに比べ、しきい値電圧の低減が可能になり、大きな動作電圧範囲を確保できる。

ここで、HDTMOSデバイスにおいて、SiC層やSiGe層の上にSiキャップ層を設けた場合と、本発明のようにSiキャップ層を設けない場合とのトランジスタ特性の相違について説明する。

図19(a)，(b)は、それぞれ順に、本実施形態のc-HDTMOSデバイスにSiキャップ層を設けたときのn-HDTMOSデバイス及びp-HDT

MOSデバイスにおけるSi/SiC/SiGe/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。SiC層の上にSiキャップ層を設けたヘテロ構造DTMOSデバイスでは、図19(a)に示すごとくnチャネルがSiキャップ層の下方に形成される埋め込みチャネルであるため、デバイスの特性がSiキャップ層の厚さに大きく依存する。

図20は、pチャネルをSiGeにより構成したSi/SiGeヘテロ構造DTMOSデバイスにおいて、Siキャップ層の厚さを1nmから10nmまで変化させた時の V_{g-ID} 特性図である。このように、Siキャップ層の膜厚の増大に伴い、しきい値電圧の増加が生じる。nチャネル層としてSiCを用いたヘテロ構造DTMOSデバイスにおいても同様のことが生じる。これは、Siキャップ層の膜厚が厚くなることにより、キャリアが蓄積されるチャネル層の位置がゲート電極から遠くなるために、ゲート電極のポテンシャルの変化がチャネル層に伝わりにくくなるためである。さらに、Siキャップ層の膜厚が厚くなると、Siキャップ層とゲート酸化膜の界面に発生する寄生チャネルが支配的になるので、ヘテロ接合型のDTMOSデバイス(HDTMOSデバイス)のしきい値電圧がSi層のみを用いたDTMOSデバイスのしきい値電圧と等しくなり、ヘテロ接合構造を採用したことの利点が損なわれるという問題がある。従って、ヘテロ接合構造の利点を引き出すには、Siキャップ層膜厚はできるだけ薄くすることが好ましい。

しかし、Siキャップ層は、 SiO_2 からなる熱酸化膜を形成する際や、製造工程における洗浄処理の際に膜減りするため、加工による膜減りを考慮した厚みのマージンを確保しておく必要がある。例えば、ゲート絶縁膜を SiO_2 からなる厚み8nmの熱酸化膜とする場合、8nmの45%に相当する3.6nmのSiキャップ層が消費される。洗浄工程においては、薬液の濃度や温度によっても異なるが、1nm前後のSiキャップ層が消費される。また、Siキャップ層が薄くなりすぎ、熱酸化膜の形成する時に、SiCチャネル及びSiGeチャネルまで熱酸化が進むと、SiCおよびSiGeの熱酸化膜はSi熱酸化膜に比べて、絶縁性、耐圧性などの信頼性が乏しいため、ゲートリーク電流やしきい値変動の要因となる。

このように、Siキャップ層は、できるだけ薄くする必要があるものの、実際には、加工の際のマージンを確保しておく必要がある。しかし、熱酸化膜はゲート絶縁膜以外にも保護酸化膜として用いられるため、熱酸化工程は複数回行なわれる。さらに、洗浄工程も複数回行なわれるため、Siキャップ層の加工マージンの設定は難しく、実際には、Siキャップ層の膜厚を正確に制御することはかなり困難である。さらに、各工程においてSiキャップ層の消費にはバラツキが生じることに加え、成膜時の膜厚バラツキも存在するため、このSiキャップ層のバラツキがウェハ面内およびウェハ間におけるデバイス特性のバラツキを生じさせる原因となる。

さらに、図19(a)，(b)に示すように、ヘテロ構造DTMOSデバイスを用いて相補型電界効果トランジスタを製作する場合には、nチャネル層、pチャネル層、キャップ層の3層構造になるため、各層の膜厚を正確に制御する必要がある。そのため、設計および製作が複雑になるという問題がある。

それに対し、本実施形態においては、Siキャップ層を用いない構造であるため、製造が容易であるだけでなく、上述のようなキャップ層の膜厚変動に起因した素子特性のバラツキを生じない。

なお、本実施形態ではSOI基板上に形成されたDTMOSデバイスについて示したが、SOI基板を用いず、バルク基板を用いた場合にも同様の効果が得られることは言うまでもない。

また、本実施形態では、ゲート絶縁膜として SiO_2 を用いているが、 SiO_2 よりも高い誘電率を有する材料を用いることもできる。例えば、 SiON 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 $\text{PZT}(\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3)$ 、 $\text{PLZT}((\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3)$ 、 $\text{SBT}(\text{SrBi}_2\text{Ta}_2\text{O}_9)$ 、 $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$ 、 $\text{STO}(\text{SrTiO}_3)$ 、 $\text{BTO}(\text{BaTiO}_3)$ 、 $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ 、 PZT 、 PLZT 、 SBT 、 $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$ 、 $\text{STO}(\text{SrTiO}_3)$ 、 $\text{BTO}(\text{BaTiO}_3)$ 、 $\text{BIT}(\text{Bi}_4\text{Ti}_3\text{O}_{12})$ 及び $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ などが高誘電率材料として挙げられる。このような高誘電率材料を用いた場合、高い駆動力と、低しきい値化とが実現でき、著効を発揮することがで

きる。

そして、 SiON 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 PZT ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、 PLZT ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)、 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、 $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$ 、 STO (SrTiO_3)、 BTO (BaTiO_3)、 BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$) PZT 、 PLZT 、 SBT 、 $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$ 、 STO (SrTiO_3)、 BTO (BaTiO_3)、 BIT ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$) 及び BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$) などの高誘電率材料からなるゲート絶縁膜を CVD 、スパッタ等により堆積した後に、上記第1～第5の実施形態で説明したように、ゲート絶縁膜にミリ波照射処理を行なうことにより、リーク特性や誘電率特性のよいゲート絶縁膜を形成することができる。

以上、 SiC および SiGe をボディ領域との間でヘテロ接合を形成するチャネルの材料として用いた場合を例にとり、本発明の実施形態を説明したが、他の半導体材料を用いてヘテロ接合を形成した場合にも同様の効果を発揮することができる。

－第7の実施形態－

本実施形態においては、 $\text{SiGe}/\text{SiC}/\text{Si}$ ヘテロ接合を有する相補型HDTMOSデバイスの例である第7の実施形態について説明する。本実施形態においては、pチャネル用のチャネル領域を SiGe/SiC ヘテロ接合部により構成し、nチャネル用のチャネル領域を SiC/Si ヘテロ接合部により構成する。

図15は、本実施形態の相補型HDTMOSデバイスの構造を示す断面図である。同図に示すように、本実施形態のc-HDTMOSデバイスは、第6の実施形態とは、 SiC 膜614bと、 SiGe 膜614aとの上下関係が逆である点のみが異なる。

すなわち、本実施形態においては、第6実施形態と同様に、SOI基板上に、nチャネル型HDTMOSデバイス(n-HDTMOSデバイス)用の半導体層630と、埋め込み酸化膜611の上に設けられたpチャネル型HDTMOSデバイス(p-HDTMOSデバイス)用の半導体層680とが設けられており、

半導体層 630, 680 は、それぞれ同時に形成された共通の膜によって構成されている。

そして、各半導体層 630, 680 は、SOI 基板の上部を構成する上部 Si 膜 612 と、上部 Si 膜 612 の上に UHV-CVD 法によりエピタキシャル成長された SiC ($\text{Si}_{1-y}\text{C}_y$; $y \approx 0.020$) 膜 614b と、SiC 膜 614b の上に UHV-CVD 法によりエピタキシャル成長された SiGe ($\text{Si}_{1-x}\text{Ge}_x$; $x = 0.40$) 膜 614a とから構成されている。ここで、埋め込み酸化膜 611 の厚さは約 100 nm であり、上部 Si 膜 612 の厚みは約 100 nm であり、SiGe 膜 614a の厚みは約 10 nm であり、SiC 膜 614b の厚みは約 10 nm である。

そして、n-HDTMOS デバイスは、第 6 の実施形態とほぼ同様の、ゲート絶縁膜 616 と、ゲート電極 617 と、ソース領域 620a 及びドレイン領域 620b と、Si ボディ領域 622 と、コンタクト 618 と、サイドウォール 627 とを有している。そして、SiGe 膜 614a, SiC 膜 614b のうちソース領域 620a とドレイン領域 620b との間の領域は、比較的低濃度の p 型不純物を含むアンドープ層である SiGe-p チャネル領域 624a, SiC-n チャネル領域 624b となっている。

また、p-HDTMOS デバイスは、第 6 の実施形態とほぼ同様の、ゲート絶縁膜 656 と、ゲート電極 657 と、ソース領域 660a 及びドレイン領域 660b と、Si ボディ領域 662 と、コンタクト 658 と、サイドウォール 667 とを有している。そして、SiGe 膜 614a, SiC 膜 614b のうちソース領域 660a とドレイン領域 660b との間の領域は、比較的低濃度の n 型不純物を含むアンドープ層である SiC-n チャネル領域 664a, SiGe-p チャネル領域 664b となっている。

本実施形態の相補型 HDTMOS デバイスの製造工程は、基本的に第 6 の実施形態の相補型 DTMOS デバイスの製造工程と同じである。

図 16 (a), (b) は、それぞれ順に、n-HDTMOS デバイス及び p-HDTMOS デバイスにおける SiGe/SiC/Si ヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。図 6 (a) に示すように、n

n-HD T M O Sデバイスにおいて、S i C-nチャネル領域におけるS i G e / S i Cヘテロ接合部には、伝導帯端に大きなバンドオフセット（ヘテロ障壁）が形成されるので、S i C層をnチャネル用のチャネル領域として利用することができる。図6（b）に示すように、S i G e-pチャネル領域におけるS i G e / S i Cヘテロ接合部には、価電子帯端に大きなバンドオフセット（ヘテロ障壁）が形成されるので、S i G e層をpチャネル用のチャネル領域として利用することができる。このように、電子、正孔それぞれに対して、最もバンドオフセット値（ヘテロ障壁の高さ）が大きくなるヘテロ接合構造を用いることにより、nチャネル、pチャネル両方において、以下のように、ヘテロ接合の特徴を十分に引き出すことができる。

本実施形態においても、第6の実施形態と同様に、S iホモ構造を有するD T M O Sデバイスに比べ、しきい値電圧の低減化により、ボディ領域の不純物濃度を高めることが可能となる。さらに、ボディ領域の不純物濃度の高濃度化によりボディ抵抗が低減されるため、C R遅延を抑制することができ、高速動作が可能となる。また、ボディ領域の不純物濃度の高濃度化によりショートチャネル効果を抑制することができる。

また、本実施形態においては、n-HD T M O Sデバイス及びp-HD T M O Sデバイスにおいて、S i G e層の上にS iキャップ層が設けられていないので、S i G e-pチャネル層は表面チャネルとなる。その結果、p-HD T M O Sデバイスにおいては、一般的なヘテロ構造M O Sで問題とされている寄生チャネルが生じることはない。

また、n-HD T M O Sデバイスにおいても、電子の閉じ込めに有利な伝導帯にヘテロ障壁を生じるため、通常のS i単独からなるトランジスタに比べ、しきい値電圧の低減が可能になり、大きな動作電圧範囲を確保できる。

また、S iキャップ層を用いない構造であるため、製造が容易であるだけでなく、キャップ層の膜厚変動に起因した素子特性のバラツキを生じない。

なお、本実施形態においては、S O I基板上に形成したD T M O Sデバイスについて示したが、S O I基板を用いず、バルク基板を用いた場合にも同様の効果が得られることは言うまでもない。

また、本実施形態では、ゲート絶縁膜として SiO_2 を用いているが、 SiO_2 よりも高い誘電率を有する材料を用いることもできる。例えば、 SiON 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 などが高誘電率材料として挙げられる。このような高誘電率材料を用いた場合、高い駆動力と、低しきい値化とが実現でき、著効を発揮することができる。

そして、 SiO_2 、 SiON 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 などの高誘電率材料からなるゲート絶縁膜をCVD、スパッタ等により堆積した後に、上記第1～第5の実施形態で説明したように、ゲート絶縁膜にミリ波照射処理を行なうことにより、リーク特性や誘電率特性のよいゲート絶縁膜を形成することができる。

以上、 SiC および SiGe をボディ領域との間でヘテロ接合を形成するチャネルの材料として用いた場合を例にとって、本発明の実施形態を説明したが、他の半導体材料を用いてヘテロ接合を形成した場合にも同様の効果を発揮することができる。

－第8の実施形態－

次に、チャネル領域を $\text{SiGeC}(\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y)$ により構成した相補型HDTMOSデバイスの例である第8の実施形態について説明する。

図17は、本実施形態のHDTMOSデバイスの構造を示す断面図である。同図に示すように、本実施形態のHDTMOSデバイスは、p型の Si 基板710と、 Si 基板に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜711と、埋め込み酸化膜711の上に設けられたnチャネル型HDTMOSデバイス(n-HDTMOSデバイス)用の半導体層730と、埋め込み酸化膜711の上に設けられたpチャネル型HDTMOSデバイス(p-HDTMOSデバイス)用の半導体層780とを有している。半導体層730、780は、それぞれ同時に形成された共通の膜によって構成されている。

半導体層730、780は、SOI基板の上部を構成する上部 Si 膜712と、上部 Si 膜712の上にUHV-CVD法によりエピタキシャル成長された Si バッファ層713と、 Si バッファ層713の上にUHV-CVD法によりエピタキシャル成長された $\text{SiGeC}(\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y : x \div 0.1, y \div$

0.04) 膜714とから構成されている。ここで、埋め込み酸化膜711の厚さは約100nmであり、上部Si膜712の厚みは約100nmであり、Siバッファ層713の厚みは約10nmであり、SiGeC膜714の厚みは約15nmである。

さらに、n-HDTMOSデバイスは、Si膜715の上に設けられたシリコン酸化膜からなるゲート絶縁膜716と、ゲート絶縁膜716の上に設けられた高濃度のn型不純物を含むポリシリコンからなるゲート電極717とを備えている。そして、半導体層730のうちゲート電極717の両側方に位置する領域には高濃度のn型不純物を含むソース領域720a及びドレイン領域720bが設けられている。また、上部Si膜712のうちソース領域720aとドレイン領域720bとの間の領域は、高濃度(約 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$)のp型不純物を含むSiボディ領域722となっており、Siバッファ層713のうちSiボディ領域722の直上に位置する領域は、低濃度のp型不純物を含むp-Si領域723となっている。そして、SiGeC膜714のうちソース領域720aとドレイン領域720bとの間の領域は、アンドープ層で低濃度のp型不純物を含むSiGeCチャネル領域724となっている。また、ゲート電極717とSiボディ領域722とを電氣的に接続する導体部材であるコンタクト718とが設けられ、ゲート電極717の側面上にはシリコン酸化膜からなるサイドウォール727が設けられている。

また、p-HDTMOSデバイスは、Si膜715の上に設けられたシリコン酸化膜からなるゲート絶縁膜756と、ゲート絶縁膜756の上に設けられた高濃度のp型不純物を含むポリシリコンからなるゲート電極757とを備えている。そして、半導体層780のうちゲート電極757の両側方に位置する領域には高濃度のp型不純物を含むソース領域760a及びドレイン領域760bが設けられている。また、上部Si膜712のうちソース領域760aとドレイン領域760bとの間の領域は、高濃度(約 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$)のn型不純物を含むSiボディ領域762となっており、Siバッファ層713のうちSiボディ領域762の直上に位置する領域は、低濃度のn型不純物を含むn-Si領域726となっている。そして、SiGeC膜714のうちソース領域760a

とドレイン領域760bとの間の領域は、アンドープ層で低濃度のn型不純物を含むSiGeCチャネル領域764となっている。また、ゲート電極757とSiボディ領域762とを電氣的に接続する導体部材であるコンタクト758とが設けられ、ゲート電極757の側面上にはシリコン酸化膜からなるサイドウォール767が設けられている。

さらに、基板上には、層間絶縁膜790と、層間絶縁膜790を貫通してソース・ドレイン領域720a, 720b, 760a, 760bに接触するコンタクト791と、コンタクト791に接続されて層間絶縁膜790の上に延びるソース・ドレイン電極792とが設けられている。

本実施形態の相補型HDTMOSデバイスの製造工程においては、SOI基板の一部である上部Si膜は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の不純物がドーピングされた p^+ Si層 (n-HDTMOSデバイス領域) と n^+ Si層 (p-HDTMOSデバイス領域) となっており、UHV-CVD法によりエピタキシャル成長されたSiバッファ層、SiGeC膜は、いずれもas-grownの状態では、不純物がドーピングされていないアンドープ層となっている。そして、SiGeC膜の上にCVD法によりシリコン酸化膜が堆積されており、このシリコン酸化膜がゲート絶縁膜となる。さらに、ゲート絶縁膜の上に、高濃度のn型不純物がドーピングされたポリシリコンからなる n^+ 型ゲート電極と、高濃度のp型不純物がドーピングされたポリシリコンからなる p^+ 型ゲート電極とが形成される。その後、各ゲート電極の両側には、高濃度のn型不純物がイオン注入された n^+ 型ソース・ドレイン領域と、高濃度のp型不純物がドーピングされた p^+ 型ソース・ドレイン領域とが形成され、その上方にソース電極・ドレイン電極がそれぞれ形成される。また、ゲート電極とSiボディ領域とがコンタクトによって接続されて、HDTMOSデバイス構造が得られる。

図18(a), (b)は、それぞれ順に、n-HDTMOSデバイス及びp-HDTMOSデバイスにおけるSiGeC/Siヘテロ接合部のビルトインポテンシャルを示すエネルギーバンド図である。図18(a)に示すように、n-HDTMOSデバイスにおいて、SiGeC-チャネル領域におけるSiGeC/

Siヘテロ接合部には、伝導帯端に大きなバンドオフセット（ヘテロ障壁）が形成されるので、SiGeC層をnチャネル用のチャネル領域として利用することができる。また、図18（b）に示すように、SiGeC-チャネル領域におけるSiGeC/Siヘテロ接合部には、価電子帯端にも大きなバンドオフセット（ヘテロ障壁）が形成されるので、SiGeC層をpチャネル用のチャネル領域として利用することができる。このように、電子、正孔それぞれに対して、大きなバンドオフセット値（ヘテロ障壁の高さ）を生じさせるヘテロ接合構造を用いることにより、nチャネル、pチャネル両方において、以下のように、ヘテロ接合の特徴を十分に引き出すことができる。つまり、SiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$) / Siヘテロ接合部においては、Ge, Cの含有率x, yを適宜調整することにより、伝導帯端、価電子帯端の両方にバンドオフセット（ヘテロ障壁）が形成される。すなわち、単一のSiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$) 層を利用して、電子がSiGeC層内に閉じ込められてSiGeC層内を走行するnチャネルと、ホールがSiGeC層内に閉じ込められてSiGeC層内を走行するpチャネルとを形成することが可能となる。

本実施形態によると、チャネル領域をSiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$) によって構成することにより、単一のSiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$) 層を利用して、電子がSiGeC層内に閉じ込められてSiGeC層内を走行するnチャネルと、ホールがSiGeC層内に閉じ込められてSiGeC層内を走行するpチャネルとを形成することが可能となり、SiGeC/Siヘテロ接合を有する相補型のHDTMOSデバイスを実現することができる。

また、第6～第7の実施形態と同様に、Siホモ構造を有するDTMOSデバイスに比べ、HDTMOSデバイスにおいては、基板のバンドギャップよりも小さなバンドギャップを有する半導体層をチャネルとして用いることで、しきい値電圧を下げて動作電圧範囲を拡大することができる。つまり、ヘテロ障壁によって形成されるポテンシャル井戸には、低電界の状態においてもキャリアが蓄積されるため、しきい値電圧の低減化が実現でき、しきい値電圧の低減化により、ボディ領域の不純物濃度を高めることが可能となる。さらに、ボディ領域の不純物濃度の高濃度化によりボディ抵抗が低減されるため、CR遅延を抑制することが

でき、高速動作が可能となる。また、ボディ領域の不純物濃度の高濃度化によりショートチャネル効果を抑制することができる。

また、本実施形態の特徴は、 n -HDTMOSデバイス及び p -HDTMOSデバイスにおいて、SiGeC層の上にSiキャップ層が設けられていない点である。これにより、上述のHDTMOSデバイスの利点に加えて、後述するような格別の作用効果を発揮することができる。

まず、 n -HDTMOSデバイスにおいては、伝導帯に電子の閉じ込めに有利なヘテロ障壁を生じ、 p -HDTMOSデバイスにおいては、価電子帯に正孔（ホール）の閉じ込めに有利なヘテロ障壁を生じるため、通常のSi単独からなるトランジスタに比べ、しきい値電圧の低減が可能になり、大きな動作電圧範囲を確保できる。

また、この構造では、Siキャップ層が存在しないので、SiGeC- n チャネル層及びSiGeC- p チャネル層ともに表面チャネルとなる。その結果、 n -HDTMOSデバイス及び p -HDTMOSデバイスの双方において、一般的なヘテロ構造MOSで問題とされている寄生チャネルが生じることはない。その結果、電流駆動力の大きいトランジスタを得ることができる。

また、Siキャップ層を用いない構造であるため、製造が容易であるだけでなく、キャップ層の膜厚変動に起因した素子特性のバラツキを生じない。

なお、本実施形態ではSOI基板上に形成したDTMOSデバイスについて示したが、SOI基板を用いず、バルク基板を用いた場合にも同様の効果が得られることは言うまでもない。

また、本実施形態では、ゲート絶縁膜として SiO_2 を用いているが、 SiO_2 よりも高い誘電率を有する材料を用いることもできる。例えば、 $SiON$ 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 などが高誘電率材料として挙げられる。このような高誘電率材料を用いた場合、高い駆動力と、低しきい値化とが実現できる。すなわち、高誘電率材料を用いることで、ビルトインポテンシャルの曲がり方がより急峻となることから、しきい値電圧を低減し、ドレイン電流とボディ電流の差をさらに拡大することができる。したがって、ボディ領域の不純物濃度をあげても、Siのみによって構成されるMOSトランジスタと同程度のしき

い値電圧に設定することができる。その結果、本実施形態のHDTMOSデバイスにより、ボディ抵抗が低減され、ボディ領域の電位がチャネル領域に効果的に伝わるので、CR遅延による動作速度の制限が緩和される。

そして、 SiO_2 、 SiON 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 などの高誘電率材料からなるゲート絶縁膜をCVD、スパッタ等により堆積した後に、上記第1～第5の実施形態で説明したように、ゲート絶縁膜にミリ波照射処理を行なうことにより、リーク特性や誘電率特性のよいゲート絶縁膜を形成することができる。

以上、 SiGeC をボディ領域との間でヘテロ接合を形成するチャネルの材料として用いた場合を例にとり、本発明の実施形態を説明したが、他の半導体材料を用いてヘテロ接合を形成した場合にも同様の効果を発揮することができる。

－その他の実施形態－

上記第3、第6～第8の実施形態においては、本発明のミリ波照射を行なう誘電体膜（特に強誘電体膜、高誘電率誘電体膜）を容量膜として有するキャパシタを、強誘電体メモリやMISFETに配置する例について説明したが、本発明はかかる実施形態に限定されるものではない。例えば、本発明のミリ波照射を受けた誘電体膜を、DRAMのストレージノードセルプレート間に介在する容量膜として、ROM特にフラッシュメモリのフローティングゲートコントロールゲート間に介在する容量膜として、あるいは、MIS型容量素子、MIM型容量素子等の容量素子の容量膜として用いることができる。

産業上の利用可能性

本発明は、強誘電体メモリ、DRAM、フラッシュメモリ等のメモリデバイスや、MIS型容量素子、MIM型容量素子、MISFET、 Si/SiGe ヘテロ接合型CMOSデバイス、 Si/SiGeC ヘテロ接合型CMOSデバイスなどの半導体装置に利用することができる。

請求の範囲

1. 誘電体膜を要素として含む半導体装置の製造方法であって、
基板の上方に上記誘電体膜を形成する工程（a）と、
上記工程（a）の後で、上記誘電体膜の上方から、1 GHz以上で100 GHz以下の範囲にある電磁波を照射する工程（b）と
を含む半導体装置の製造方法。
2. 請求項1の半導体装置の製造方法において、
上記工程（b）では、上記基板の温度を550℃以下に保持しつつ、上記電磁波を印加することを特徴とする半導体装置の製造方法。
3. 請求項1又は2の半導体装置の製造方法において、
上記工程（a）の後で上記工程（b）の前に、上記誘電体膜の上に、上記誘電体膜よりも誘電率又は誘電損失が大きいカバー膜を形成する工程と、
上記工程（b）の後で、上記カバー膜を除去する工程とをさらに含むことを特徴とする半導体装置の製造方法。
4. 請求項1～3のうちいずれか1つの半導体装置の製造方法において、
上記工程（a）の前に、下部導体膜を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。
5. 請求項4の半導体装置の製造方法において、
上記下部導体膜を形成する工程では、上記下部導体膜として、金属膜、 IrO_2 及び RuO_2 のうちから選ばれる1又は2以上の材料によって構成される膜を形成することを特徴とする半導体装置の製造方法。
6. 請求項4又は5の半導体装置の製造方法において、
上記下部導体膜を形成する工程の後で上記工程（a）の前に、上記下部導体膜と上記誘電体膜との間に介在する下部絶縁膜を形成する工程をさらに含むことを

特徴とする半導体装置の製造方法。

7. 請求項1～6のうちいずれか1つの半導体装置の製造方法において、
上記工程(a)の後で上記工程(b)の前に、上記誘電体膜を覆う上部導体膜を形成する工程をさらに含み、
上記工程(b)は、上記上部導体膜によって上記誘電体膜を覆った状態で行なわれることを特徴とする半導体装置の製造方法。

8. 請求項7の半導体装置の製造方法において、
上記工程(b)は、上記上部導体膜を電氣的にアースして行なわれることを特徴とする半導体装置の製造方法。

9. 請求項1～8のうちいずれか1つの半導体装置の製造方法において、
上記工程(a)の後で上記工程(b)の前に、上記誘電体膜を覆う上部導体膜を形成した後、上部導体膜をパターンニングして、上記誘電体膜のうち半導体装置の要素となる部分を少なくとも含む領域上に、上記上部導体膜の一部を残す工程をさらに含み、
上記工程(b)は、上記上部導体膜の上記一部を残した状態で、上記誘電体膜の上記領域が局所的に加熱されるように行なわれることを特徴とする半導体装置の製造方法。

10. 請求項7～9のうちいずれか1つの半導体装置の製造方法において、
上記上部導体膜を形成する工程は、上記上部導体膜として、金属膜、 IrO_2 及び RuO_2 のうちから選ばれる1又は2以上の材料によって構成される膜を形成することを特徴とする半導体装置の製造方法。

11. 請求項7～10のうちいずれか1つの半導体装置の製造方法において、
上記工程(a)の後で、上記上部導体膜を形成する工程の前に、上記上部導体膜と上記誘電体膜との間に介在する上部絶縁膜を形成する工程をさらに含むこと

を特徴とする半導体装置の製造方法。

12. 請求項1～11のうちいずれか1つの半導体装置の製造方法において、
上記工程(a)の前に、厚み10nm以下の下部シード層を形成する工程をさらに備え、

上記工程(a)では、上記誘電体膜を上記下部シード層に接触させるように形成し、

上記工程(b)では、上記下部シード層が上記誘電体膜の成長の種として機能させることを特徴とする半導体装置の製造方法。

13. 請求項1～12のうちいずれか1つの半導体装置の製造方法において、
上記工程(a)の後で上記工程(b)の前に、厚み10nm以下の上部シード層を上記誘電体膜に接触させて形成する工程をさらに備え、

上記工程(b)では、上記上部シード層が上記誘電体膜の成長の種として機能させることを特徴とする半導体装置の製造方法。

14. 請求項1～13のうちいずれか1つの半導体装置の製造方法において、
上記工程(a)では、上記誘電体膜として、 $PZT(Pb(Zr, Ti)O_3)$ 、 $PLZT((Pb, La)(Zr, Ti)O_3)$ 、 $SBT(SrBi_2Ta_2O_9)$ 、 $(SrBi_2(Nb, Ta)_2O_9)$ 、 $STO(SrTiO_3)$ 、 $BTO(BaTiO_3)$ 、 $BST((Ba, Sr)TiO_3)$ 、 PZT 、 $PLZT$ 、 SBT 、 $(SrBi_2(Nb, Ta)_2O_9)$ 、 $STO(SrTiO_3)$ 、 $BTO(BaTiO_3)$ 、 $BIT(Bi_4Ti_3O_{12})$ 及び $BST((Ba, Sr)TiO_3)$ のうちから選ばれる1又は2以上の材料によって構成される膜を形成することを特徴とする半導体装置の製造方法。

15. 請求項1～14のうちいずれか1つの半導体装置の製造方法において、
上記基板を構成する材料は、半導体、酸化シリコン、ガラス及びセラミックのうちから選ばれる1又は2以上の材料であることを特徴とする半導体装置の製造

方法。

16. 請求項1～15のうちいずれか1つの半導体装置の製造方法において、
上記工程(b)では、10GHz以上で80GHz以下の範囲にある電磁波を照射することを特徴とする半導体装置の製造方法。

17. 基板と、

上記基板の一部に設けられた半導体層と、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、

上記半導体層のうち上記ゲート電極の両側方に設けられた第1導電型ソース・ドレイン領域と、

上記半導体層のうち上記第1導電型ソース・ドレイン領域間に位置する領域に設けられた第1導電型キャリア用チャネル領域と、

上記半導体層のうち上記第1導電型キャリア用チャネル領域の下方に設けられ、上記第1導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第2導電型ボディ領域と、

上記ゲート電極と上記第2導電型ボディ領域とを電気的に接続するための導体部材とを備え、

上記第1導電型キャリア用チャネル領域は上記ゲート絶縁膜と直接接触していることを特徴とする半導体装置。

18. 請求項17の半導体装置において、

上記基板上に設けられたもう1つの半導体層と、

上記もう1つの半導体層の上に設けられたもう1つのゲート絶縁膜と、

上記もう1つのゲート絶縁膜の上に設けられたもう1つのゲート電極と、

上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられた第2導電型ソース・ドレイン領域と、

上記もう1つの半導体層のうち上記第2導電型ソース・ドレイン領域間に位置

する領域に設けられた第2導電型キャリア用チャネル領域と、

上記もう1つの半導体層のうち上記第2導電型キャリア用チャネル領域の下方に設けられ、上記第2導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第1導電型ボディ領域と、

上記もう1つのゲート電極と上記第1導電型ボディ領域とを電氣的に接続するためのもう1つの導体部材とをさらに備え、

相補型デバイスとして機能することを特徴とする半導体装置。

19. 請求項18の半導体装置において、

上記第1導電型キャリア用チャネル領域及び第2導電型キャリア用チャネル領域は、いずれもSi（シリコン）、Ge（ゲルマニウム）及びC（炭素）を成分元素として含む半導体により構成され、

上記ボディ領域はSiにより構成されていることを特徴とする半導体装置。

20. 請求項17の半導体装置において、

上記半導体層は、上記第1導電型キャリア用チャネル領域と上記第2導電型ボディ領域との間に設けられた第2導電型キャリア用チャネル領域をさらに有し、

上記基板上に設けられたもう1つの半導体層と、

上記もう1つの半導体層の上に設けられたもう1つのゲート絶縁膜と、

上記もう1つのゲート絶縁膜の上に設けられたもう1つのゲート電極と、

上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられた第2導電型ソース・ドレイン領域と、

上記もう1つの半導体層のうち上記第2導電型ソース・ドレイン領域間に位置する領域に設けられた第2導電型キャリア用チャネル領域と、

上記もう1つの半導体層のうち上記ゲート絶縁膜と上記第2導電型キャリア用チャネル領域との間に設けられた第1導電型キャリア用チャネル領域と、

上記もう1つの半導体層のうち上記第2導電型キャリア用チャネル領域の下方に設けられ、上記第2導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第1導電型ボディ領域と、

上記もう1つのゲート電極と上記第1導電型ボディ領域とを電氣的に接続するためのもう1つの導体部材とをさらに備え、

相補型デバイスとして機能することを特徴とする半導体装置。

21. 請求項20の半導体装置において、

上記各半導体層における各ボディ領域は、いずれもSiにより構成され、

上記各半導体層における第1導電型チャネル領域は、 $Si_{1-y}C_y$ ($0 < y \leq 0.03$) により構成されており、

上記半導体層における第1導電型チャネル領域は、電子が流れるnチャネルとして機能し、

上記各半導体層における第2導電型チャネル領域は、 $Si_{1-x}Ge_x$ ($0 < x \leq 0.4$) により構成されおり、

上記もう1つの半導体層における第2導電型チャネル領域は、正孔が流れるpチャネルとして機能することを特徴とする半導体装置。

22. 請求項20の半導体装置において、

上記各半導体層における各ボディ領域は、いずれもSiにより構成され、

上記各半導体層における第1導電型チャネル領域は、 $Si_{1-x}Ge_x$ ($0 < x \leq 0.4$) により構成されおり、

上記半導体層における第1導電型チャネル領域は、正孔が流れるpチャネルとして機能し、

上記各半導体層における第2導電型チャネル領域は、 $Si_{1-y}C_y$ ($0 < y \leq 0.03$) により構成されており、

上記もう1つの半導体層における第2導電型チャネル領域は、電子が流れるnチャネルとして機能することを特徴とする半導体装置。

23. 請求項17～22のうちいずれか1つの半導体装置において、

上記ゲート絶縁膜は、 $SiON$ 、 Si_3N_4 、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 PZT ($Pb(Zr, Ti)O_3$)、 $PLZT$ ($(Pb, La)(Zr, T$

i) O_3), $\text{SBT}(\text{SrBi}_2\text{Ta}_2\text{O}_9)$, $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$, $\text{STO}(\text{SrTiO}_3)$, $\text{BTO}(\text{BaTiO}_3)$, $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ PZT , PLZT , SBT , $(\text{SrBi}_2(\text{Nb}, \text{Ta})_2\text{O}_9)$, $\text{STO}(\text{SrTiO}_3)$, $\text{BTO}(\text{BaTiO}_3)$, $\text{BIT}(\text{Bi}_4\text{Ti}_3\text{O}_{12})$ 及び $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ のうちから選ばれる1又は2以上の材料によって構成される膜から選ばれる1又は2以上の材料により構成されていることを特徴とするの半導体装置。

24. 請求項23の半導体装置において、

上記ゲート絶縁膜は、1GHz以上で100GHz以下の範囲にある電磁波の照射処理を受けたものであることを特徴とするの半導体装置。

25. 請求項17～24のうちいずれか1つの半導体装置において、

上記半導体基板がSOI基板であることを特徴とする半導体装置。

FIG. 1 (a)

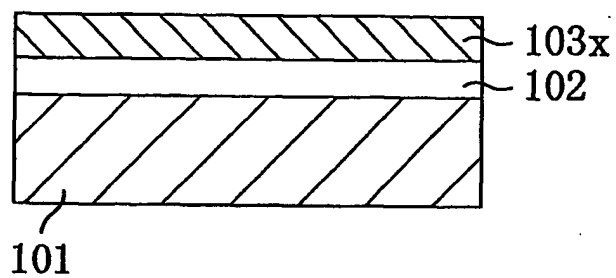


FIG. 1 (b)

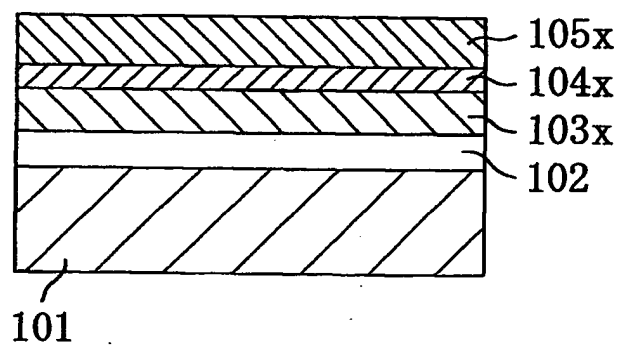


FIG. 1 (c)

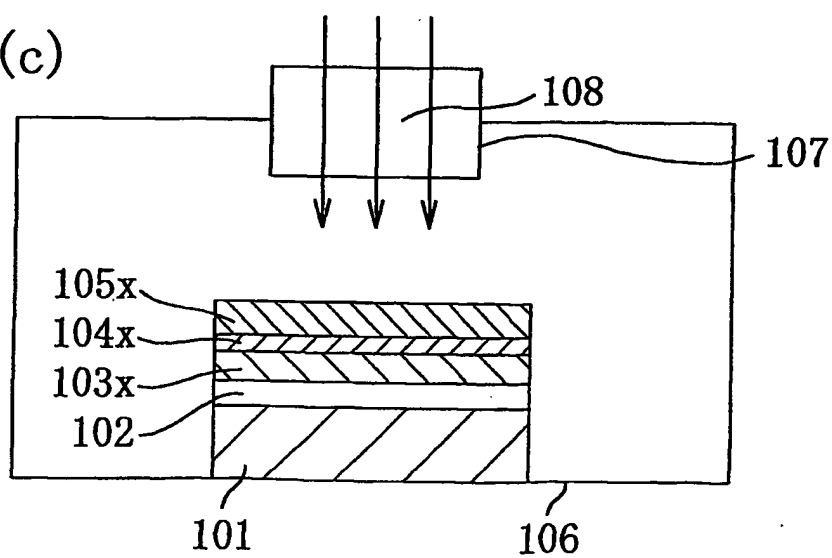


FIG. 2(a)

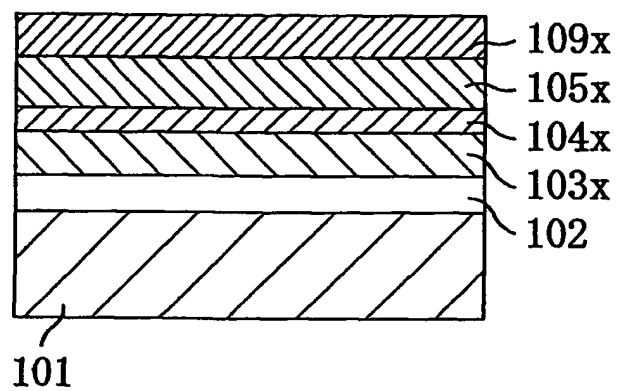


FIG. 2(b)

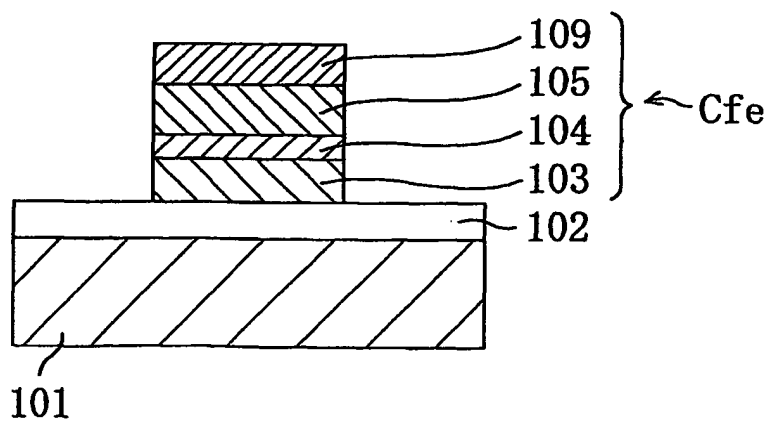


FIG. 3(a)

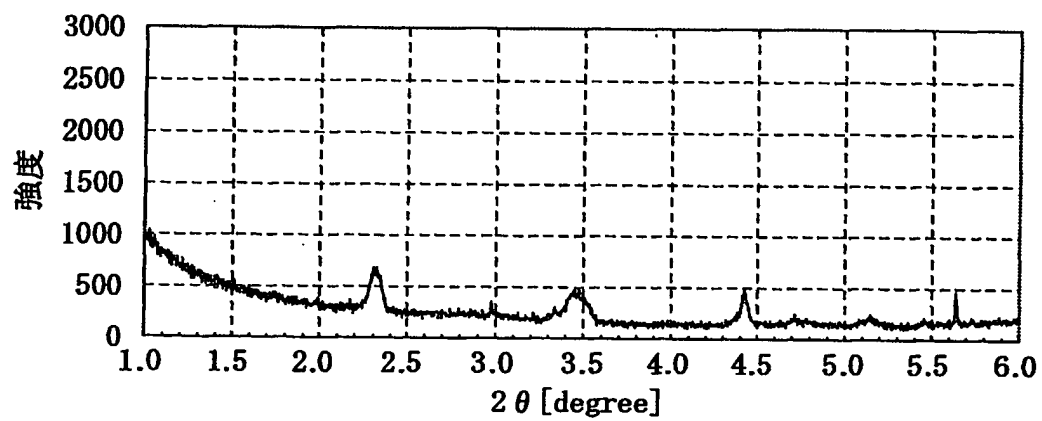


FIG. 3(b)

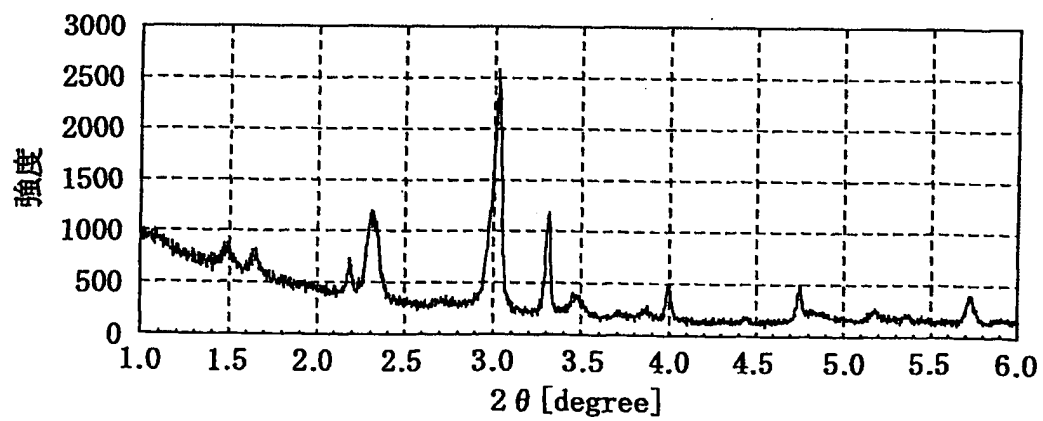


FIG. 4(a)

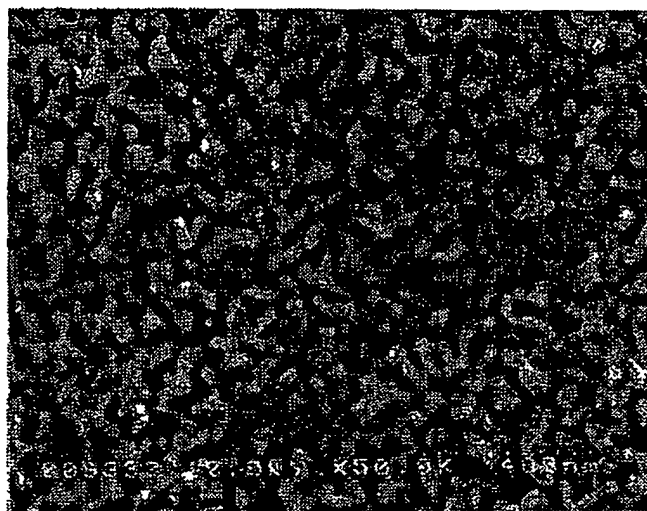


FIG. 4(b)

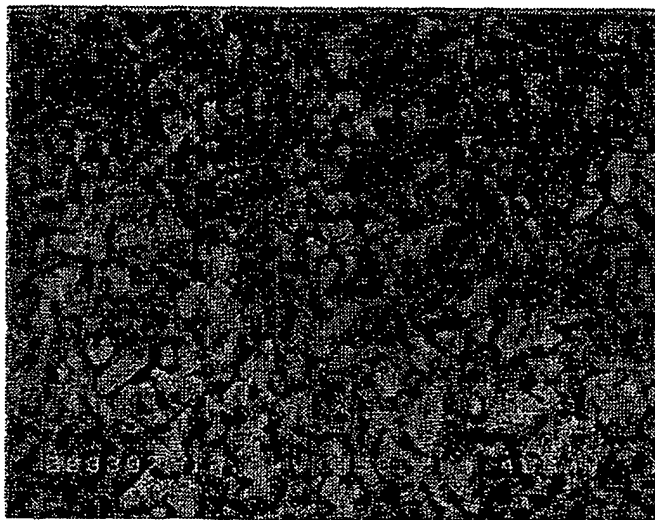


FIG. 5 (a)

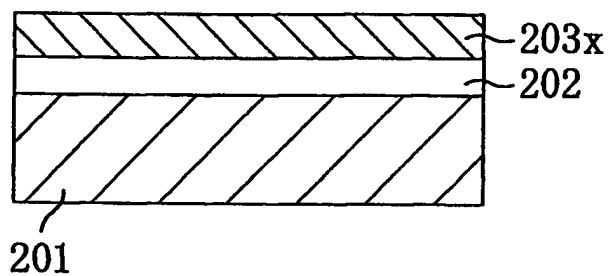


FIG. 5 (b)

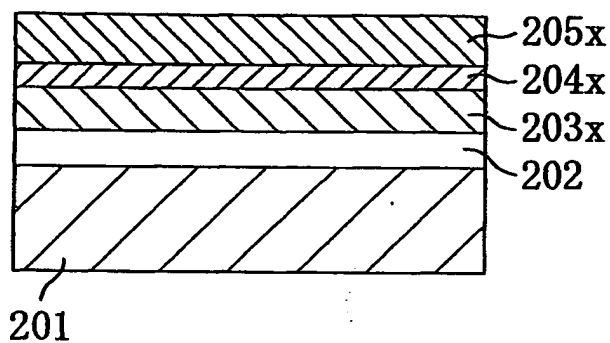


FIG. 5 (c)

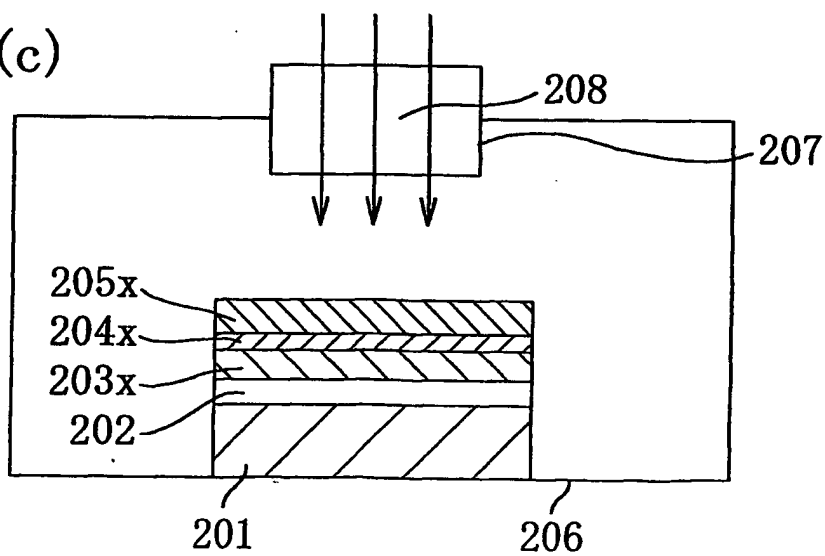


FIG. 6(a)

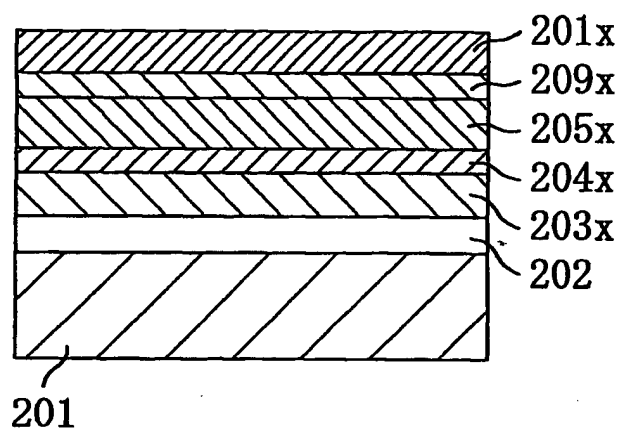


FIG. 6(b)

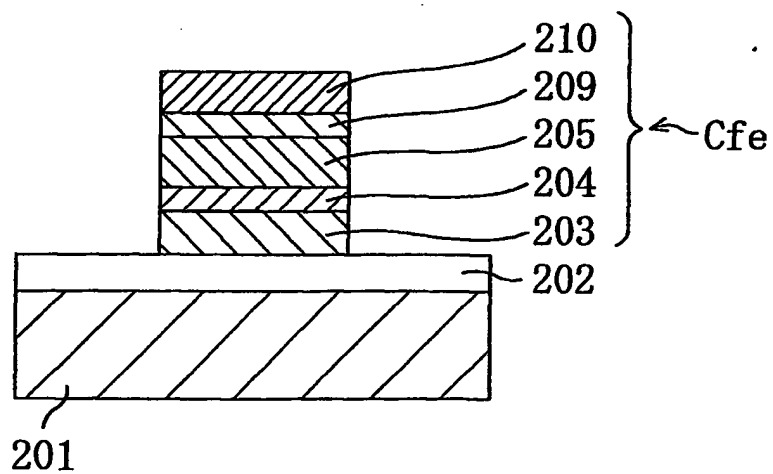


FIG. 7(a)

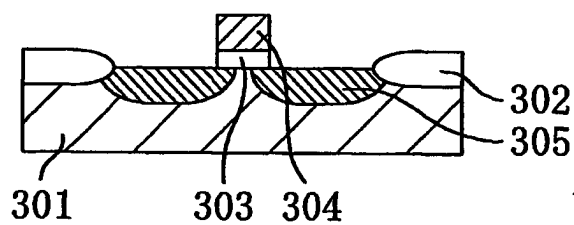


FIG. 7(b)

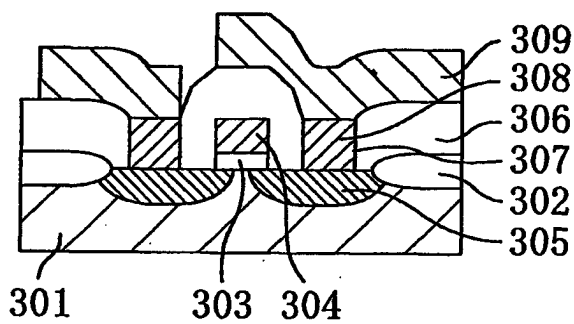


FIG. 7(c)

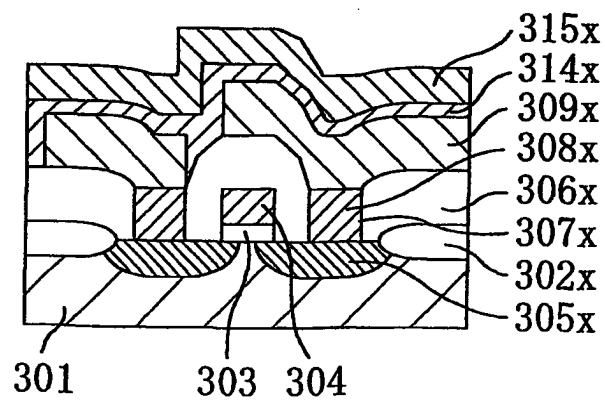


FIG. 8(a)

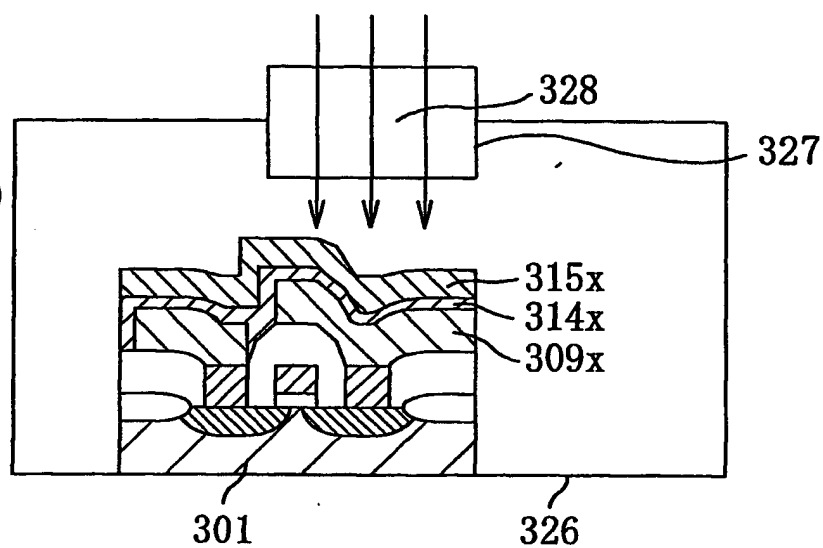


FIG. 8(b)

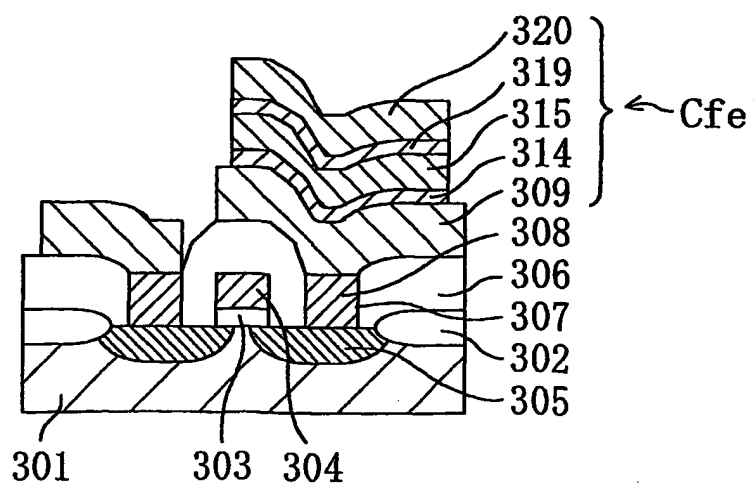


FIG. 9(a)

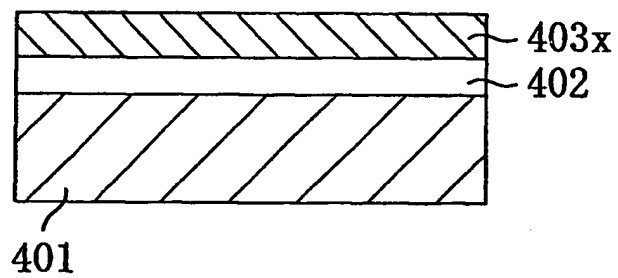


FIG. 9(b)

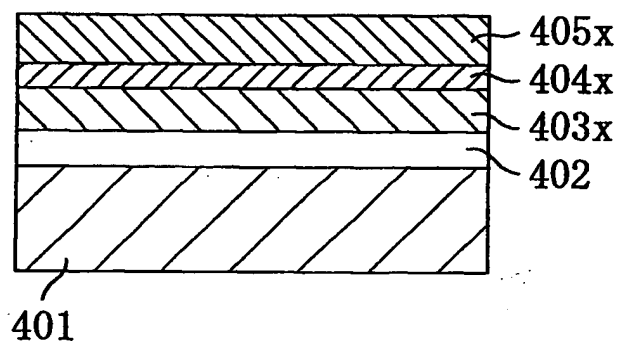


FIG. 9(c)

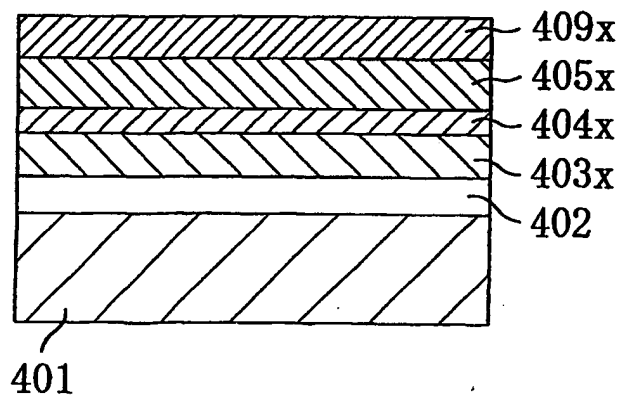


FIG. 10(a)

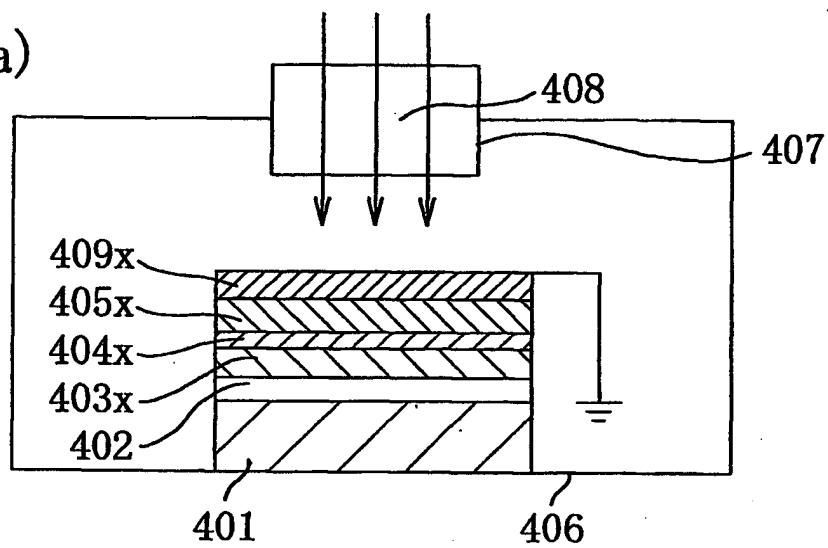


FIG. 10(b)

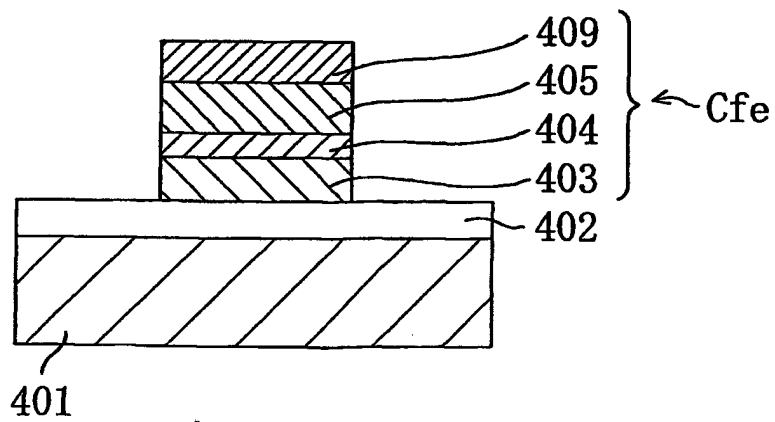


FIG. 11(a)

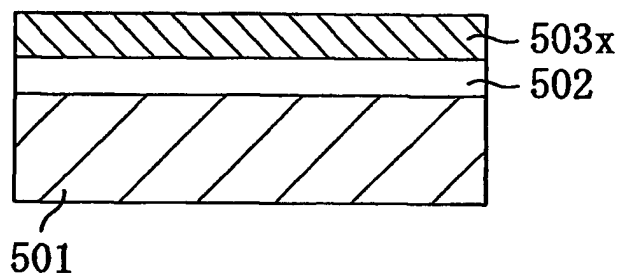


FIG. 11(b)

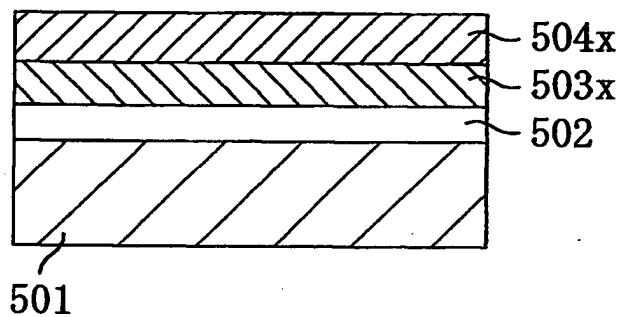


FIG. 11(c)

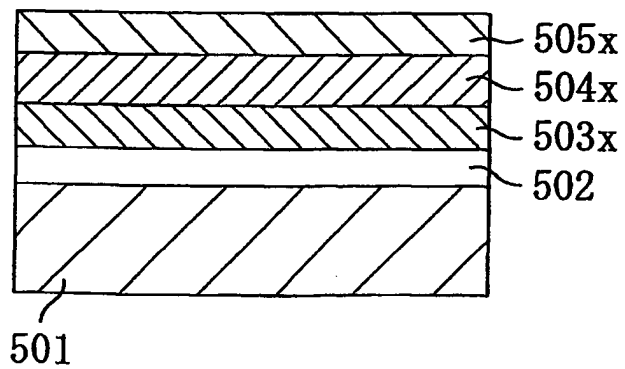


FIG. 12(a)

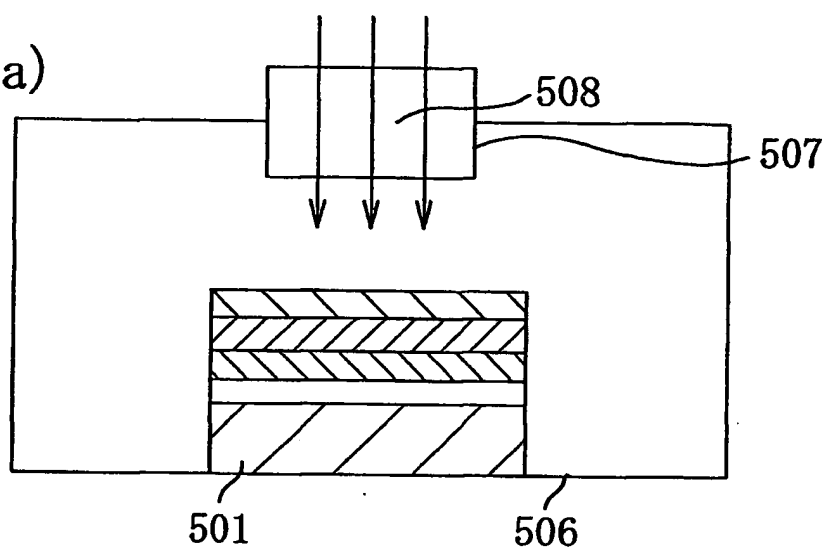


FIG. 12(b)

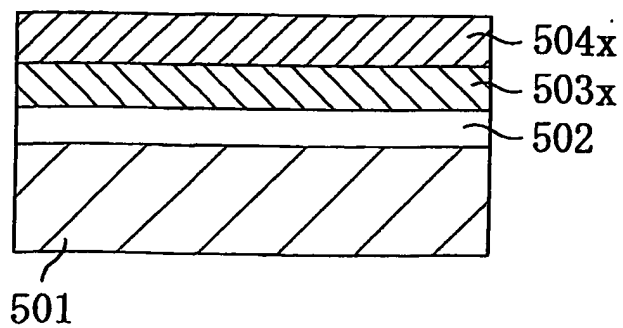


FIG. 13

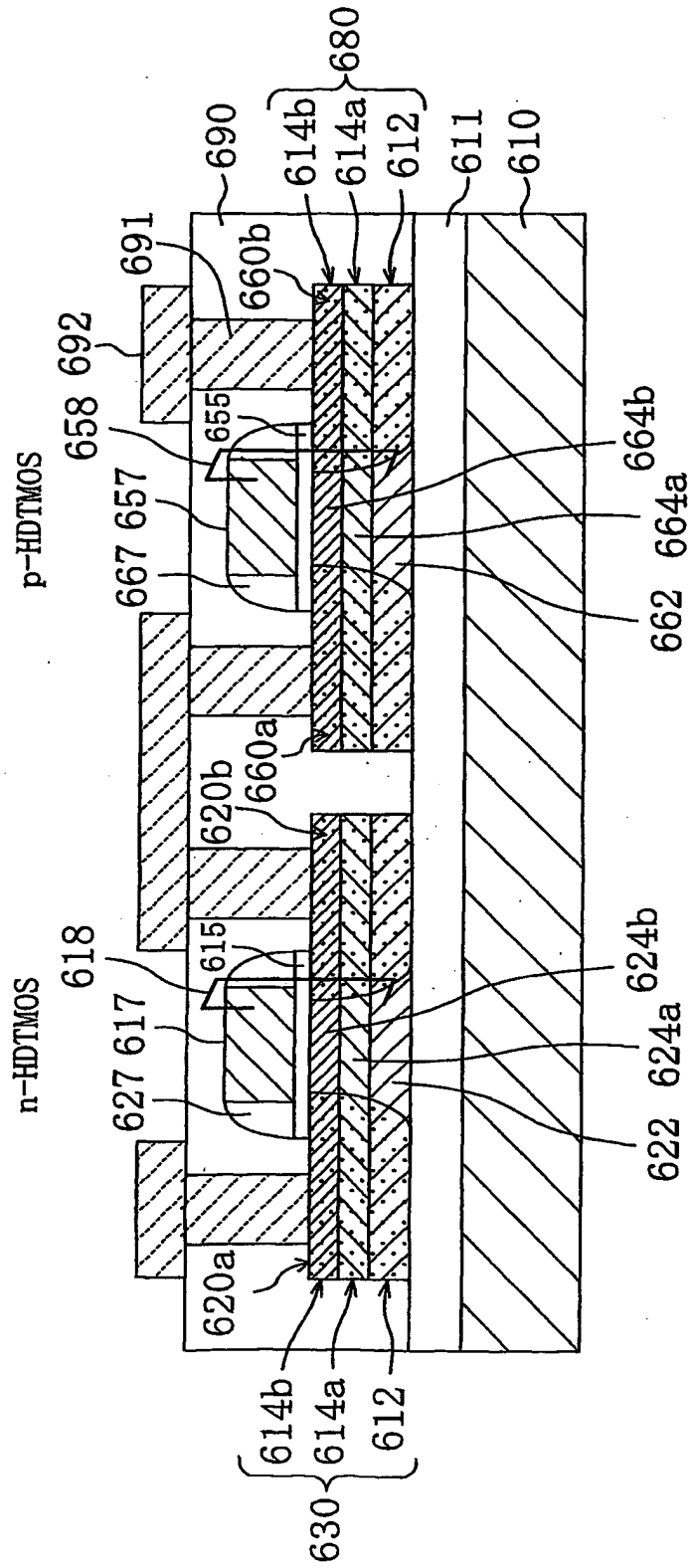


FIG. 14(a)

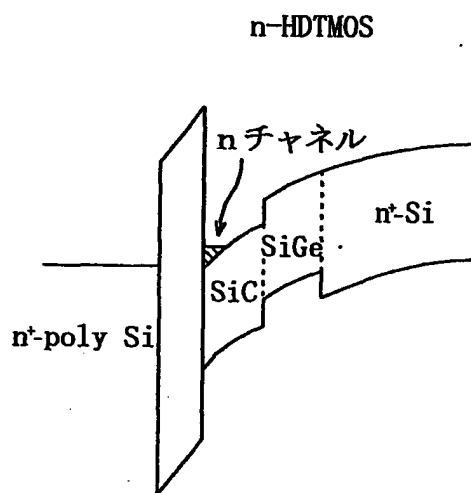


FIG. 14(b)

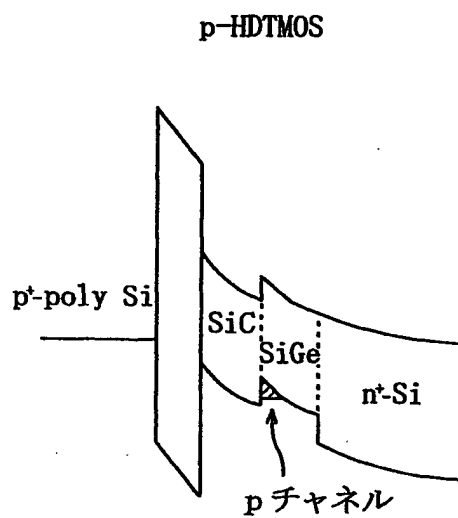


FIG. 15

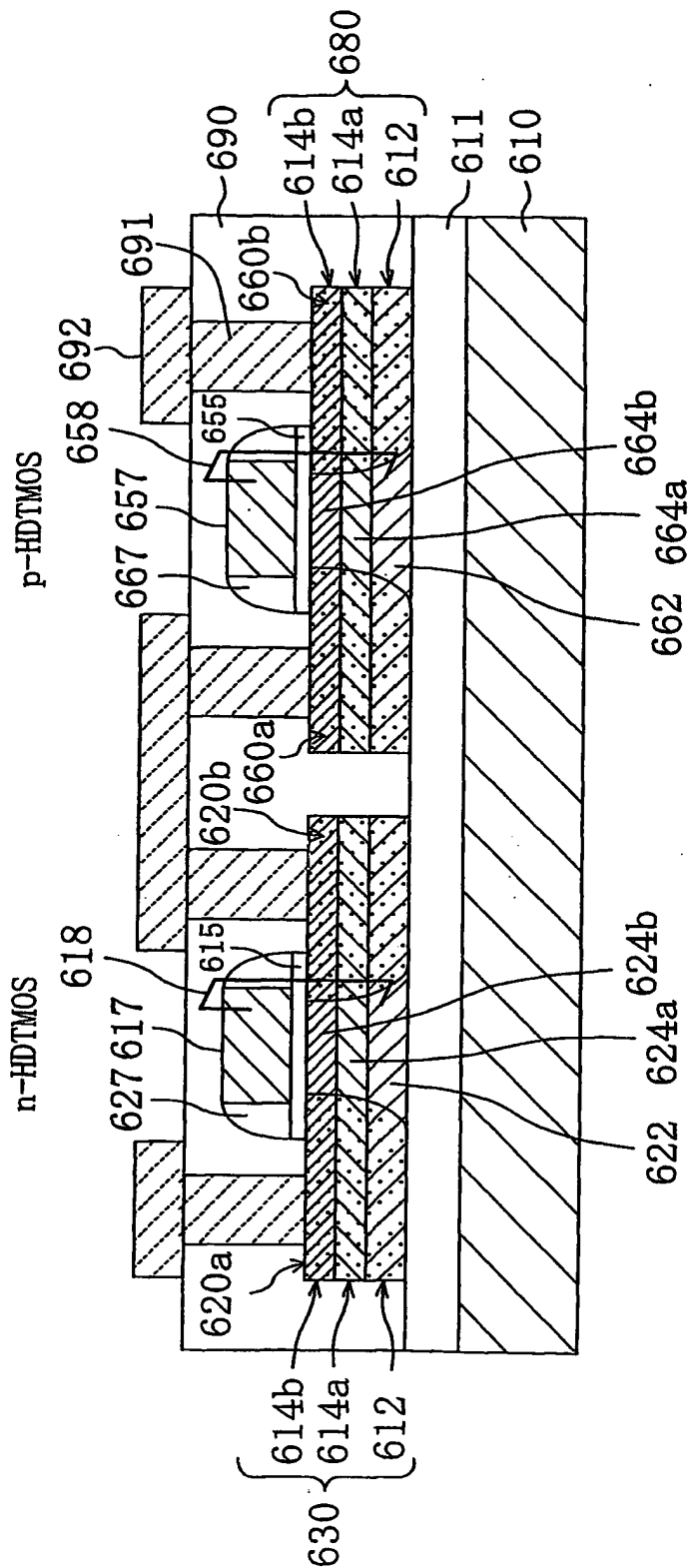


FIG. 16(a)

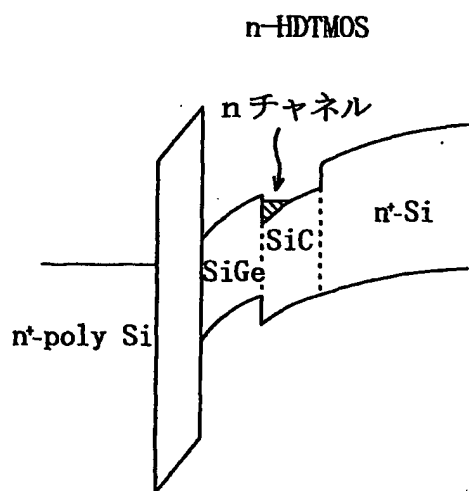


FIG. 16(b)

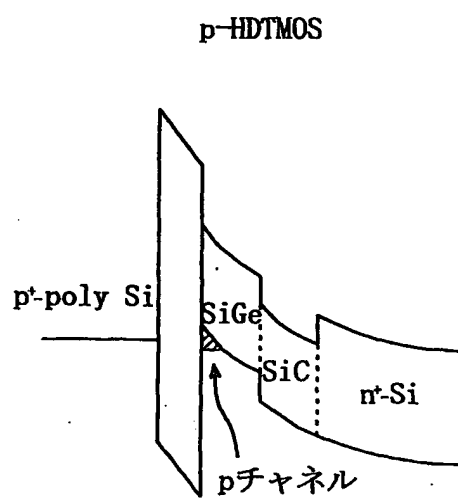


FIG. 17

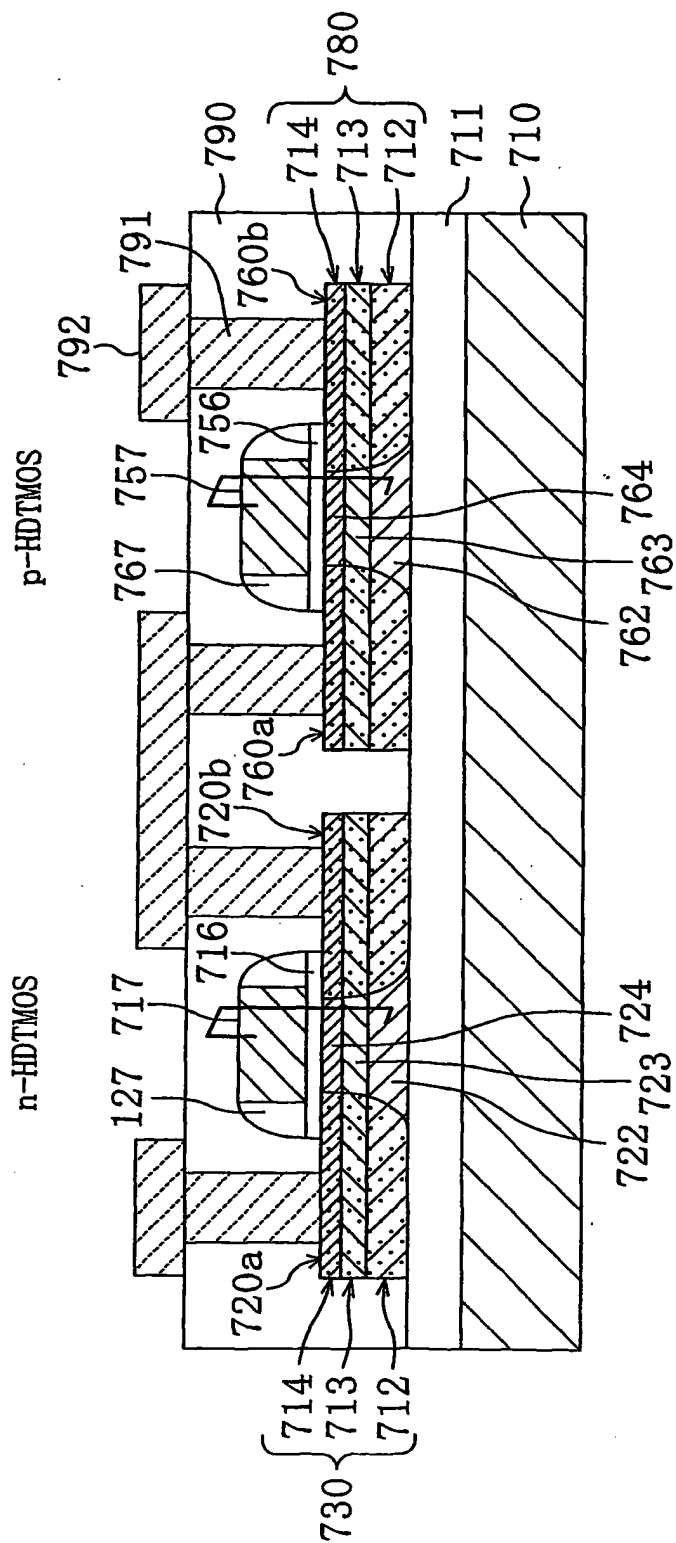


FIG. 18(a)

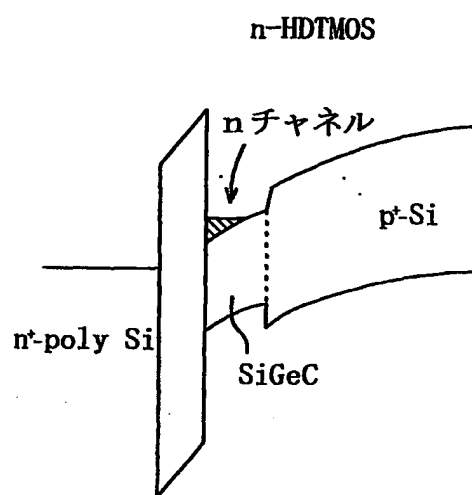


FIG. 18(b)

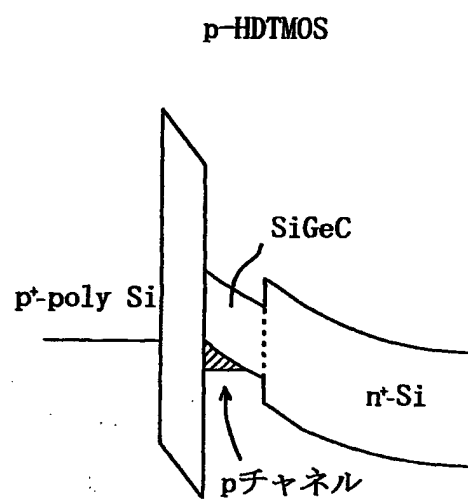


FIG. 19(a)

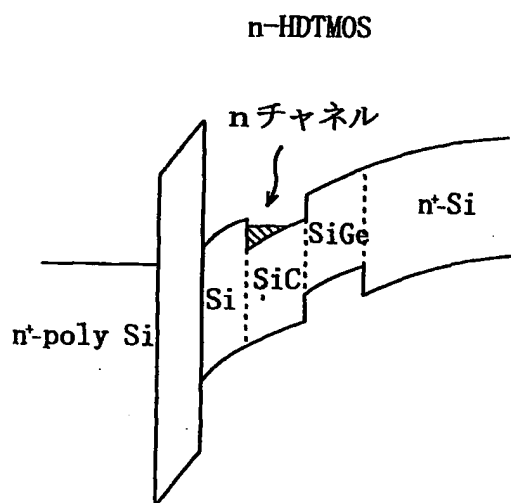


FIG. 19(b)

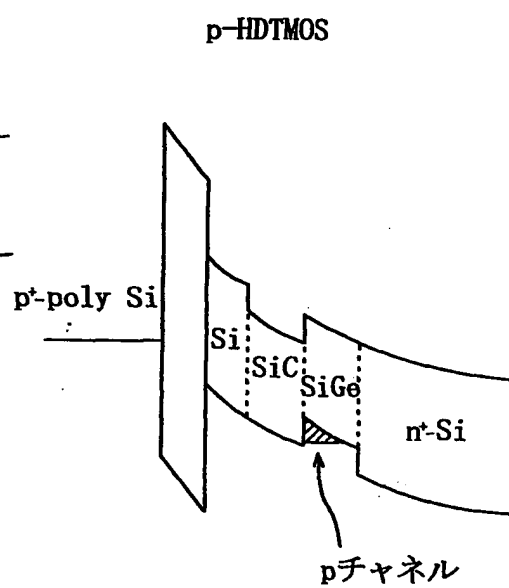


FIG. 20

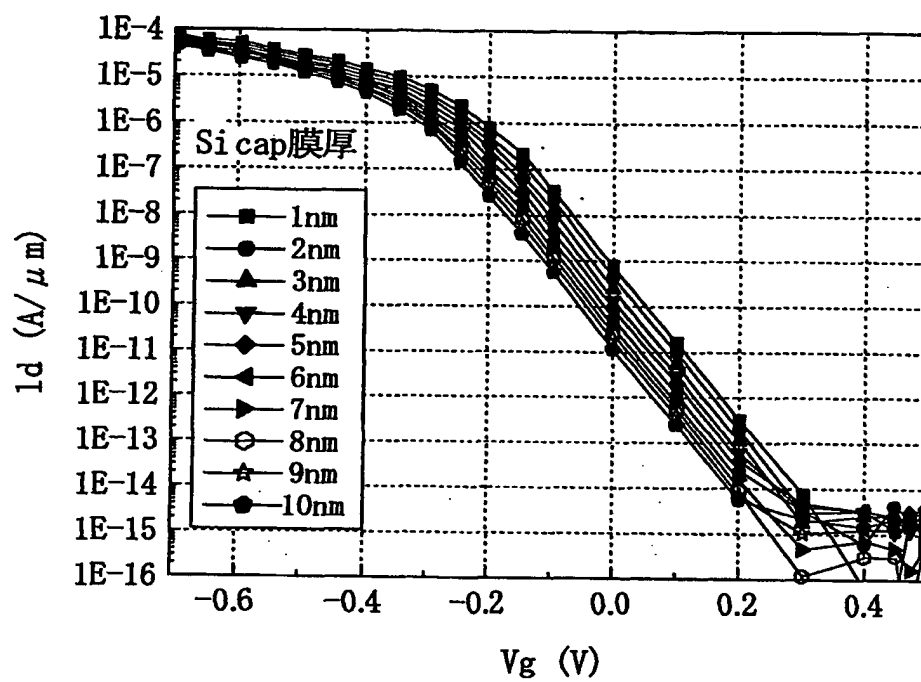
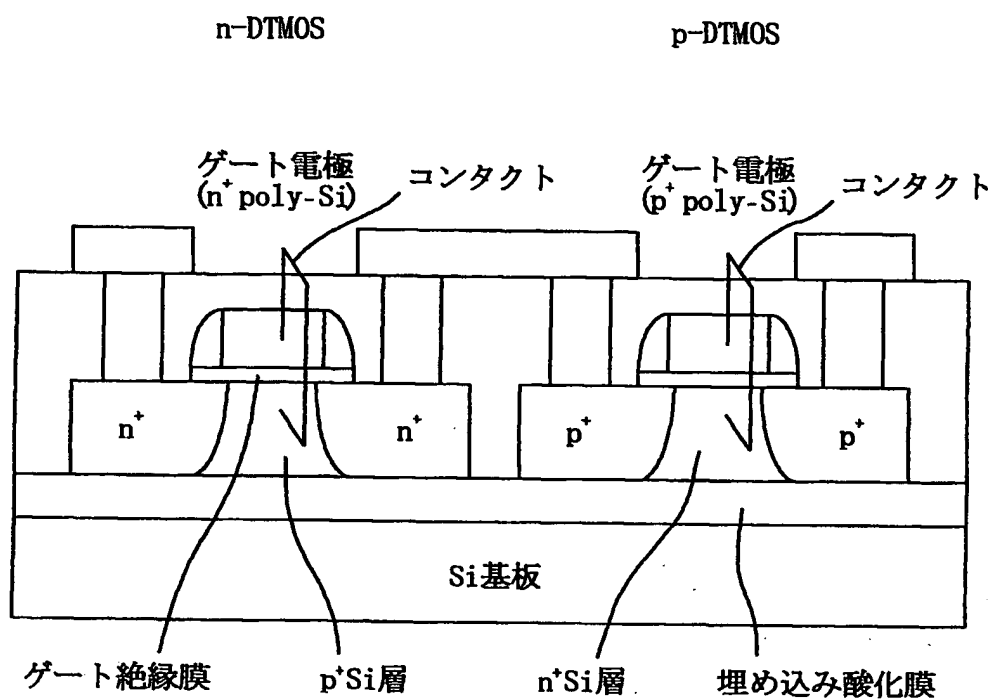


FIG. 21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/03365

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/316, H01L29/786, H01L21/8238, H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/316, H01L29/786, H01L21/8238, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 00/32516 A1 (Rohm Co., Ltd.), 08 June, 2000 (08.06.00), Page 6, lines 21 to 23; Claims 1, 6, 8; Fig. 1 & JP 2000-164590 A & EP 1153888 A1 & KR 2001093098 A & CN 1326425 A	1-2, 4-11, 14-16 <u>3, 12-13</u>
X	JP 3-22430 A (Sony Corp.), 30 January, 1991 (30.01.91), Claims; page 2, upper right column, lines 13 to 15 (Family: none)	1, 16
X	JP 10-41515 A (Toshiba Corp.), 13 February, 1998 (13.02.98), Claim 1 (Family: none)	1, 16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 June, 2002 (18.06.02)Date of mailing of the international search report
02 July, 2002 (02.07.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/03365

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2332983 A (Samsung Electronics Co., Ltd.), 07 July, 1999 (07.07.99), Full text & JP 11-283927 A & CN 1225504 A & KR 99061759 A & US 6384390 B1	1, 16
Y	JP 6-291253 A (Oki Electric Industry Co., Ltd.), 18 October, 1994 (18.10.94), Full text (Family: none)	3
Y	JP 1-140632 A (Fujitsu Ltd.), 01 June, 1989 (01.06.89), Full text (Family: none)	3
Y	JP 11-233733 A (Toshiba Corp.), 27 August, 1999 (27.08.99), Par. Nos. [0064], [0090] (Family: none)	5, 10, 12-13
Y	JP 8-335676 A (Rohm Co., Ltd.), 17 December, 1996 (17.12.96), Claim 6; Par. Nos. [0024], [0026] (Family: none)	5, 10, 12-13
A	JP 2000-91576 A (Sharp Corp.), 31 March, 2000 (31.03.00), Full text (Family: none)	17-25
P, A	EP 1102327 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2001 (23.05.01), Full text & JP 2001-210831 A	17-25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/03365

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-16 relate to a method for manufacturing a semiconductor device comprising a step of irradiating a dielectric film from above with an electromagnetic wave the frequency of which ranges from 1 GHz to 100 GHz.

The inventions of claims 17-25 relate to a semiconductor device having a body region of a second conductivity type disposed below a channel region for first-conductivity-type carriers, electrically connected to the gate electrode, and having a potential at the band end where carriers move higher than the potential in the channel region for first-conductivity-type carrier.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. C17 H01L21/316、H01L29/786、H01L21/8238、H01L27/092		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. C17 H01L21/316、H01L29/786、H01L21/8238、H01L27/092		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996 日本国公開実用新案公報 1971-2002 日本国実用新案登録公報 1996-2002 日本国登録実用新案公報 1994-2002		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 00/32516 A1 (ローム株式会社) 2000.06.08、第 6頁第21-23行、請求の範囲1、6、8、図1 & JP 2	1-2, 4-11, 14- 16
Y	000-164590 A & EP 1153888 A1 & KR 2001093098 A & CN 1326425 A	3, 12-13
X	JP 3-22430 A (ソニー株式会社) 1991.01.30、特許請 求の範囲、第2頁右上欄第13-15行 (ファミリーなし)	1, 16
X	JP 10-41515 A (株式会社東芝) 1998.02.13、請求項 1 (ファミリーなし)	1, 16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 18.06.02		国際調査報告の発送日 02.07.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 加藤 浩一 電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	GB 2332983 A (Samsung Electronics Co., Ltd.) 199 9.07.07、全文 & JP 11-283927 A & CN 1225504 A & KR 99061759 A & US 6384390 B1	1、16
Y	JP 6-291253 A (沖電気工業株式会社) 1994.10.18、 全文 (ファミリーなし)	3
Y	JP 1-140632 A (富士通株式会社) 1989.06.01、全文 (ファミリーなし)	3
Y	JP 11-233733 A (株式会社東芝) 1999.08.27、【0 064】、【0090】 (ファミリーなし)	5、10、1 2-13
Y	JP 8-335676 A (ローム株式会社) 1996.12.17、請求 項6、【0024】、【0026】 (ファミリーなし)	5、10、1 2-13
A	JP 2000-91576 A (シャープ株式会社) 2000.03.3 1、全文 (ファミリーなし)	17-25
P、A	EP 1102327 A (Matsushita Electric Industrial C o., Ltd.) 2001.05.23、全文 & JP 2001-210831 A	17-25

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-16は、誘電体膜の上方から、1GHz以上で100GHz以下の範囲にある電磁波を照射する工程を含む半導体装置の製造方法に関するものである。

請求の範囲17-25は、第1導電型キャリア用チャネル領域の下方に設けられ、ゲート電極に電気的に接続された、第1導電型キャリア用チャネル領域よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第2導電型ボディ領域を備えた半導体装置に関するものである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。